

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PTO/SB/21 (08-03)  
Approved for use through 08/30/2003. OMB 0651-0031  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/707,474	
	Filing Date	12/17/2003	
	First Named Inventor	Ching-Hsiang Hsu	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	EMEP0056USA

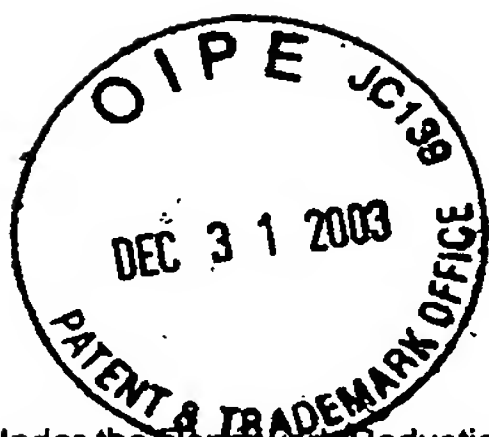
ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	Remarks	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	12/20/2003

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PTO/SB/17 (10-03)

Approved for use through 07/31/2006. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

# FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☒ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$ ) 0.00

## Complete if Known

Application Number	10/707,474
Filing Date	12/17/2003
First Named Inventor	Ching-Hsiang Hsu
Examiner Name	
Art Unit	
Attorney Docket No.	EMEP0056USA

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number: 50-0801  
Deposit Account Name: North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$ ) 0.00

### 2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims:  -20\*\* =  X  =   
Independent Claims:  - 3\*\* =  X  =   
Multiple Dependent:  =

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$ ) 0.00

\*\*or number previously paid, if greater; For Reissues, see above

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	0.00
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$ ) 0.00

## SUBMITTED BY

(Complete if applicable)

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	12/30/2003		

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)  
Approved for use through 10/31/2002. OMB 0651-0032  
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

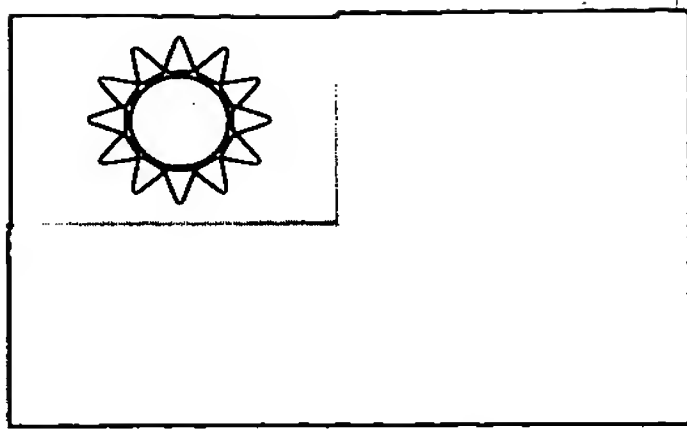
## DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092121550	Taiwan R.O.C	08/06/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.





中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 06 日  
Application Date

申請案號：092121550  
Application No.

申請人：力旺電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 12 月 9 日  
Issue Date

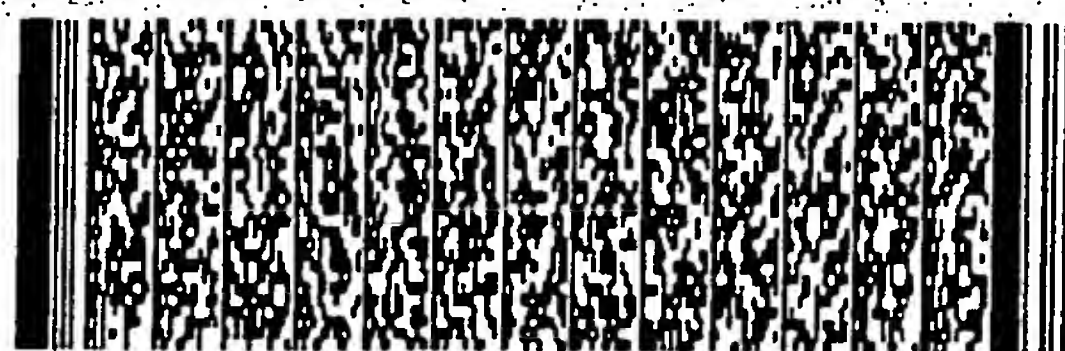
發文字號：09221246840  
Serial No.

申請日期：	IPC分類
申請案號： 92121530	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	快閃記憶體之程式化、抹除以及讀取操作
	英 文	METHOD FOR PROGRAMMING, ERASING AND READING A FLASH MEMORY CELL
二、 發明人 (共4人)	姓 名 (中文)	1. 徐清祥 2. 朱志勳
	姓 名 (英文)	1. Hsu, Ching-Hsiang 2. Chu, Chih-Hsun
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹市東區科園里二十四鄰竹村五路八號六樓 2. 新竹市科園里惠民街九十四巷九號
	住居所 (英 文)	1. 6F, No. 8, Chu-Tsun 5th Rd., 24 Community, Ko-Yuan Li, Tung District, Hsin-Chu City, Taiwan, R.O.C. 2. No. 9, Lane 94, Huei-Min St., Hsin-Chu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 力旺電子股份有限公司
	名稱或 姓 名 (英文)	1. eMemory Technology Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹市科學工業園區力行一路十二號三樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 3F, No. 12, Li-Hsin Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. Huang, Chong-Jen

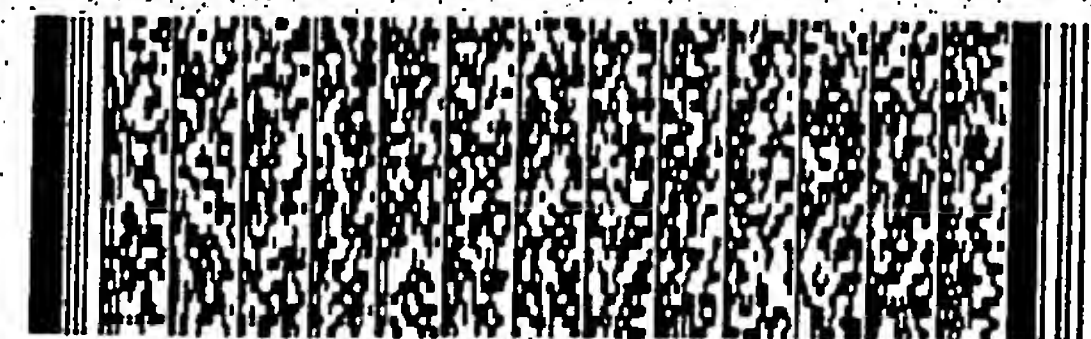


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共4人)	姓 名 (中文)	3. 周志文 4. 黃正同
	姓 名 (英文)	3. Chou, Jih-Wen 4. Huang, Cheng-Tung
	國 籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中 文)	3. 新竹市科園里民享街一七六巷二十一號 4. 高雄市前金區自立橫路五十六巷二號
	住居所 (英 文)	3. No. 21, Lane 176, Min-Hsiang St., Hsin-Chu City, Taiwan, R.O.C. 4. No. 2, Lane 56, Tzu Li Heng Rd., Chien-Chin District, Kao-Hsiung City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



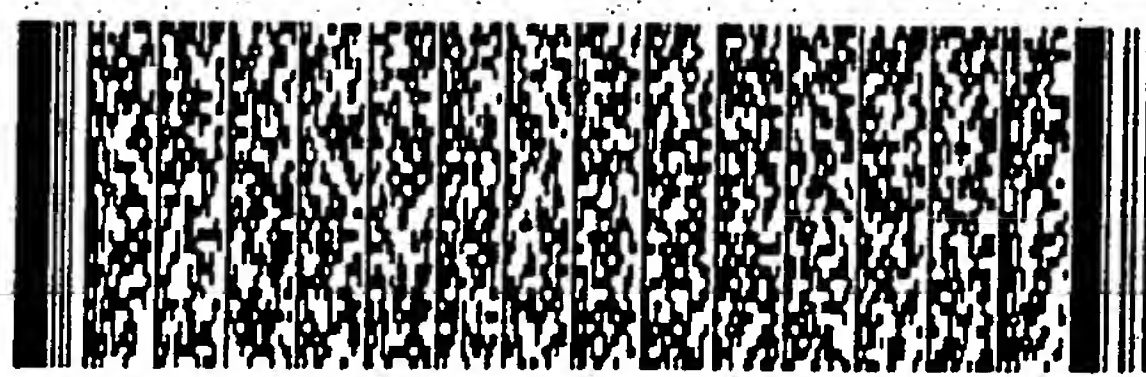
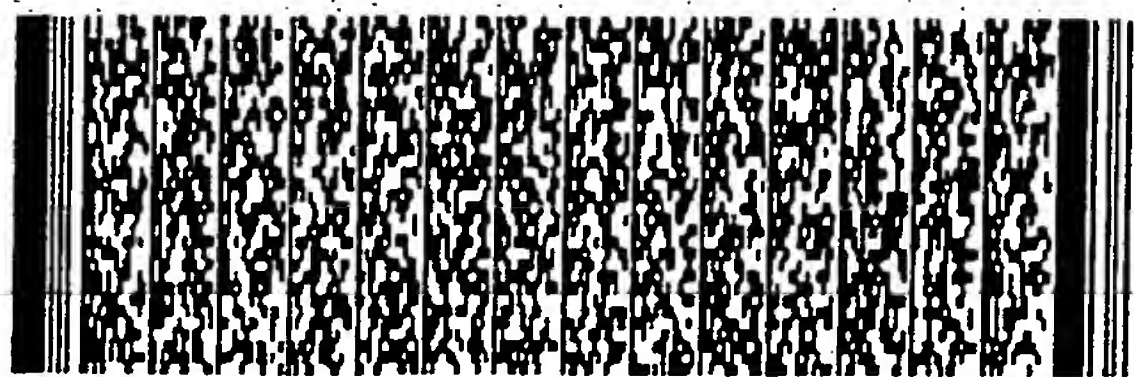


四、中文發明摘要 (發明名稱：快閃記憶體之程式化、抹除以及讀取操作)

本發明提供一種經由通道熱載子誘發熱電子注入機制程式化 PMOS 單電晶體記憶體單元之方法，該 PMOS 單電晶體記憶體單元包含有一二氧化矽-氮化矽-二氧化矽 (ONO) 堆疊層設於一 N 型半導體井上，一 P 型多晶矽閘極設於該 ONO 堆疊層上，一 P 型源極摻雜區設於該 P 型多晶矽閘極一側之該 N 型半導體井中，以及 P 型汲極摻雜區設於該 P 型多晶矽閘極另一側之該 N 型半導體井中，該方法包含有：施加一字元線電壓  $V_{WL}$  予該 PMOS 單電晶體記憶體單元之 P 型多晶矽閘極；施加一源極線電壓  $V_{SL}$  予該 PMOS 單電晶體記憶體單元之 P 型源極摻雜區，其中該源極線電壓  $V_{SL}$  較該字元線電壓  $V_{WL}$  大，使該 P 型多晶矽閘極與該 P 型源極摻雜區之間具足夠之偏壓讓該 PMOS 單電晶體記憶體單元之 P 型通道開啟；施加一位元線電壓  $V_{BL}$  予該 PMOS 單電晶體記憶體單元之 P 型汲極摻雜區，其中該位元線電壓  $V_{BL}$  較該源極線電壓  $V_{SL}$  小，藉此驅動通道熱電洞由該 P 型源極摻雜區經由該

六、英文發明摘要 (發明名稱：METHOD FOR PROGRAMMING, ERASING AND READING A FLASH MEMORY CELL)

A method for programming PMOS single transistor flash memory cells through channel hot carrier induced hot electron injection mechanism is disclosed. The PMOS single transistor flash memory cell includes an ONO stack layer situated on an N-well of a semiconductor substrate, a P<sup>+</sup> poly gate formed on the ONO stack layer, a P<sup>+</sup> doped source region disposed in the N-well at one



四、中文發明摘要 (發明名稱：快閃記憶體之程式化、抹除以及讀取操作)

P型通道流向該 P型汲極摻雜區，並在靠近該 P型汲極摻雜區之該 P型通道中誘發產生熱電子使其注入該 ONO堆疊層中；以及施加一井電壓  $V_{NW}$  予該 PMOS單電晶體記憶體單元之 N型半導體井，其中該井電壓  $V_{NW}$  等於該源極線電壓  $V_{SL}$ 。

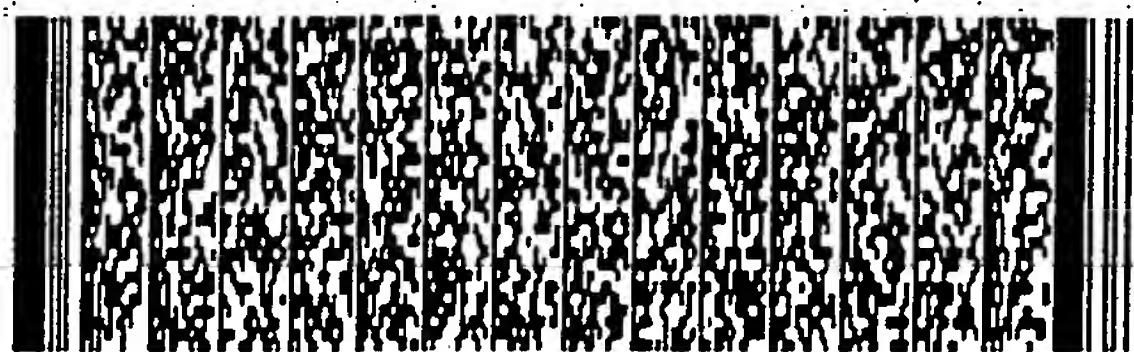
五、(一)、本案代表圖為：第四圖

(二)、本案代表圖之元件代表符號簡單說明

10	P型半導體基底	11	N型井
12	閘極	13	ONO介電層
14	P汲極摻雜區	15	P源極摻雜區
16	P型通道	17	P型通道
22	熱電洞	101	選定之記憶體單元
102	未選定之記憶體單元	131	矽氧底層
132	電荷捕捉氮化矽層	133	矽氧上層

六、英文發明摘要 (發明名稱：METHOD FOR PROGRAMMING, ERASING AND READING A FLASH MEMORY CELL)

side of the gate, and a  $P^+$  doped drain region disposed in the N-well at the other side of the gate. The method includes the steps of: applying a word line voltage  $V_{WL}$  on the  $P^+$  poly gate, applying a source line voltage  $V_{SL}$  on the source, wherein the source line voltage  $V_{SL}$  is greater than the word line voltage  $V_{WL}$ , thereby providing adequate bias to turn on the P channel thereof. A





四、中文發明摘要 (發明名稱：快閃記憶體之程式化、抹除以及讀取操作)

六、英文發明摘要 (發明名稱：METHOD FOR PROGRAMMING, ERASING AND READING A FLASH MEMORY CELL)

bit line voltage that is smaller than the source line voltage  $V_{SL}$  is applied on the  $P^+$  doped drain region, thereby driving channel hot holes to flow toward the  $P^+$  doped drain region and then inducing hot electron injection near the drain side. A well voltage  $V_{NW}$  is applied to the N-well, wherein  $V_{NW} = V_{SL}$ .





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

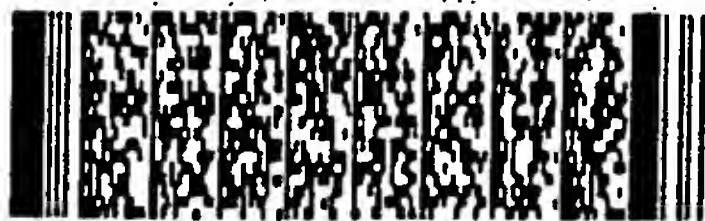
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

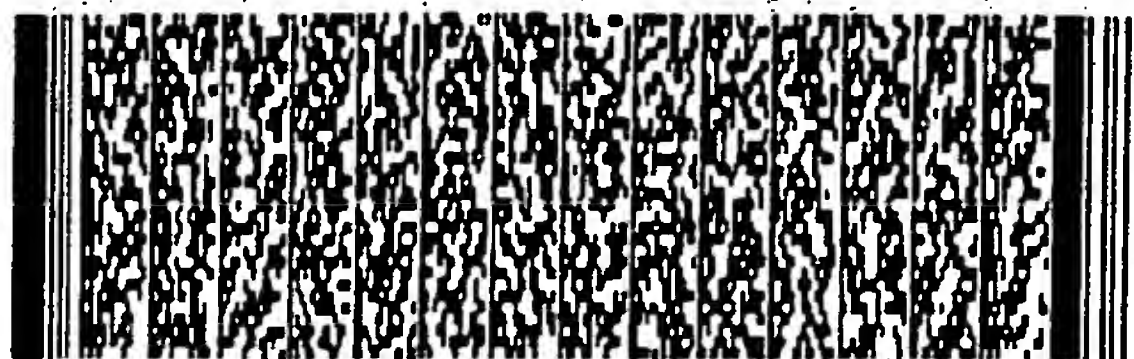
### 發明所屬之技術領域

本發明係關於一種快閃記憶體之操作方法，尤指一種單電晶體 P 型通道快閃記憶體之程式化 (program)、抹除 (erase) 以及讀取 (read) 操作。

### 先前技術

近年來，隨著可攜式電子產品的需求增加，快閃記憶體的技術以及市場應用也日益成熟擴大。這些可攜式電子產品包括有數位相機的底片、手機、遊戲機 (video game apparatus)、個人數位助理 (personal digital assistant, PDA) 之記憶體、電話答錄裝置以及可程式 IC 等等。由於可攜式電子產品大多是由電池提供所需之電源，因此如何降低快閃記憶體的能源耗損 (energy dissipation) 以及電性表現，即成為快閃記憶體的發展重點。

基本上，依基底 (substrate) 以及源極 / 汲極 (source/drain, S/D) 的摻雜電性來區分，快閃記憶體可歸類為 P 型通道 (P-channel) 以及 N 型通道 (N-channel) 兩種。其中 P 型通道快閃記憶體，有時又稱為 P 型單元 (P-cell) 快閃記憶體，具有低耗電、低電壓以及快速寫入 ( $< 30 \mu s$ ) 的特性，因此適合應用於需要低耗能需求之可



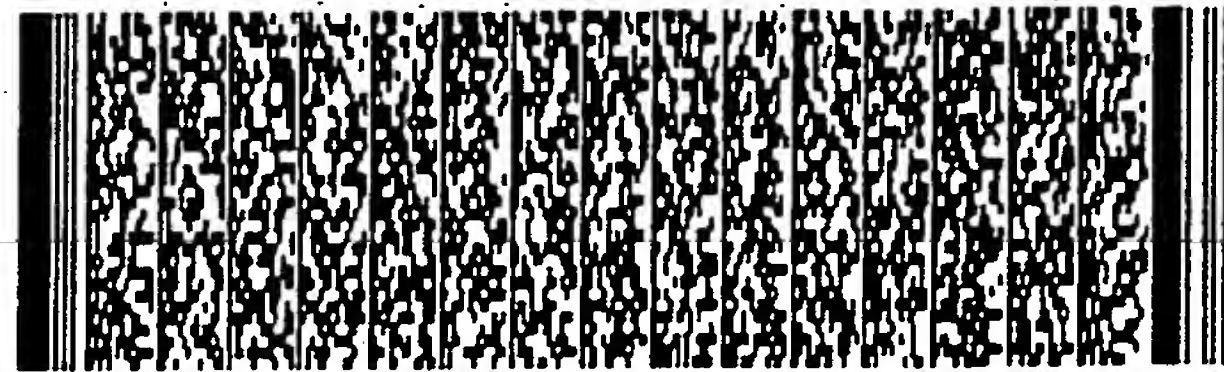
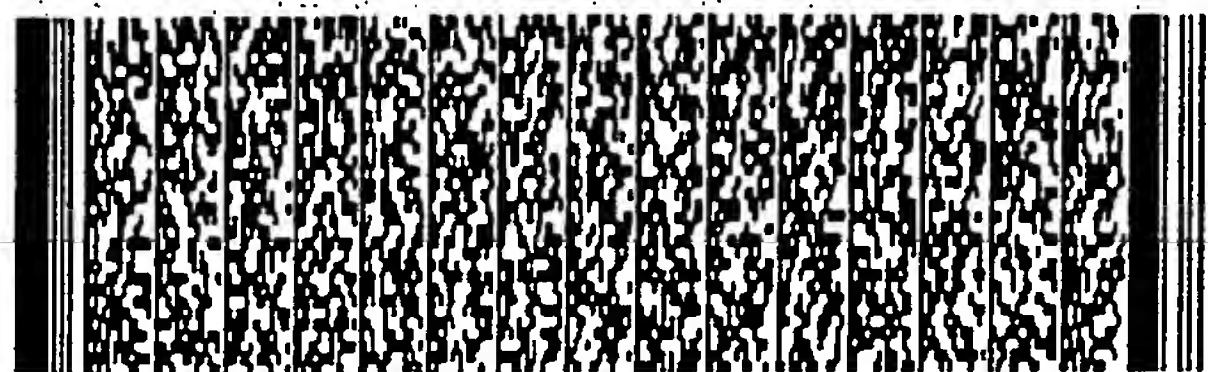


## 五、發明說明 (2)

攜式電子產品領域。P通道快閃記憶體的寫入方式可以區分為通道熱電洞引發熱電子 (channel hot hole induced hot electron) 注入機制、帶對帶穿隧 (band-to-band tunneling, BTBT) 注入機制，以及福樂諾漢 (Fowler-Nordheim tunneling, FN tunneling) 注入機制等三種。

徐清祥等人在1992年於固態元件及材料國際會議 (International Conference on Solid State Devices and Materials, SSDM) 第140至142頁中所揭露之「高速低功耗P型通道快閃記憶體，利用富含矽之矽氧層作為穿隧介電層 (A High Speed, Low Power P-Channel Flash EEPROM Using Silicon Rich Oxide as Tunneling Dielectric)」一論文中提出在P型通道記憶體的熱電子注入電流 (hot electron injection current) 可大於在N型通道記憶體的兩個級數 (order) 大小，而在進行程式化時，P型通道記憶體的通道電流 (channel current) 則小於N型通道記憶體的通道電流達兩個級數大小。

1995年，日本三菱 T. Ohnakado 等人提出之 "Novel Electron Injection Method Using Band-to-Band Tunneling Induced Hot Electron (BBHE) for Flash Memory with A P-Channel Cell" 論文中，開極引發汲極漏電流 (Gate induced drain leakage, GIDL) 經由橫向電場加速以產生熱電子首次被應用在P通道快閃記憶體的

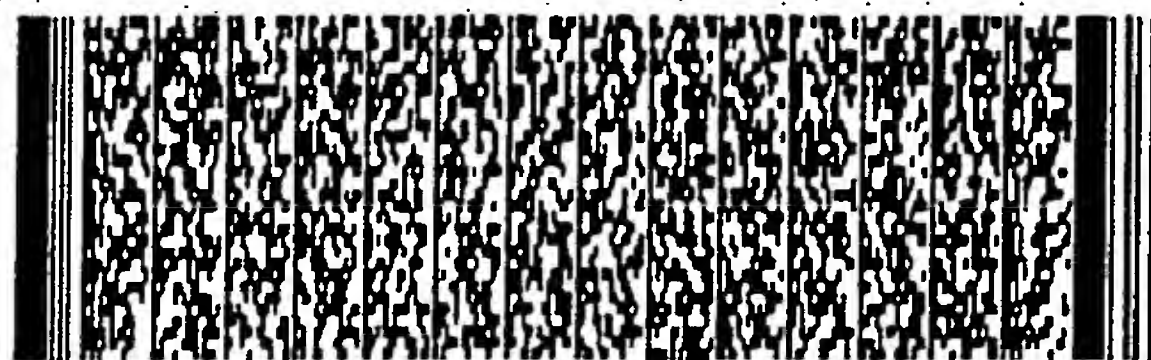


### 五、發明說明 (3)

寫入操作。

請參閱圖一，圖一顯示一典型 P 通道快閃記憶體單元 10' 在一寫入操作模式 (programming mode) 下之剖面示意圖。如圖一所示，P 通道快閃記憶體單元 10' 包含有一 N 型摻雜基底 12'、一 N 型摻雜控制閘極 14'、一 N 型摻雜浮動閘極 16'、一 P 摻雜源極 17'、一 P 摻雜汲極 18'、一穿隧氧化層 (tunneling oxide layer) 21' 介於浮動閘極 16' 以及基底 12' 之間，以及一電容介電層 22' 介於控制閘極 14' 以及浮動閘極 16' 之間。

一般在帶對帶電子穿越寫入模式下，通入閘極為一正電壓 10 伏特 (Volt)，通入汲極為一負電壓 -6 伏特，而基底為接地 (grounded)，源極保持浮動 (floating) 狀態。帶對帶電子穿越 (Band to Band tunneling, BTBT) 在汲極 18' 處發生，產生電子電洞對，其中電子被汲極處的側向電場排斥到浮動閘極的通道，部份電子獲得高能量而克服穿隧氧化層 21' 之能障，而注入浮動閘極 16'，進而完成寫入動作。BTBT 機制之寫入效率與汲極-浮動閘極重疊區域處的價帶 (valance band,  $E_v$ )-傳導帶 (conduction band,  $E_c$ ) 能隙有關，能隙越小，BTBT 發生越容易，寫入效率也會提高。



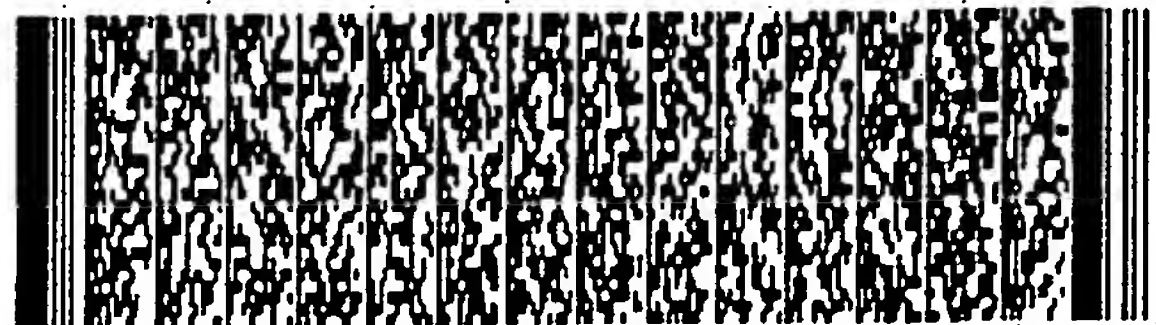
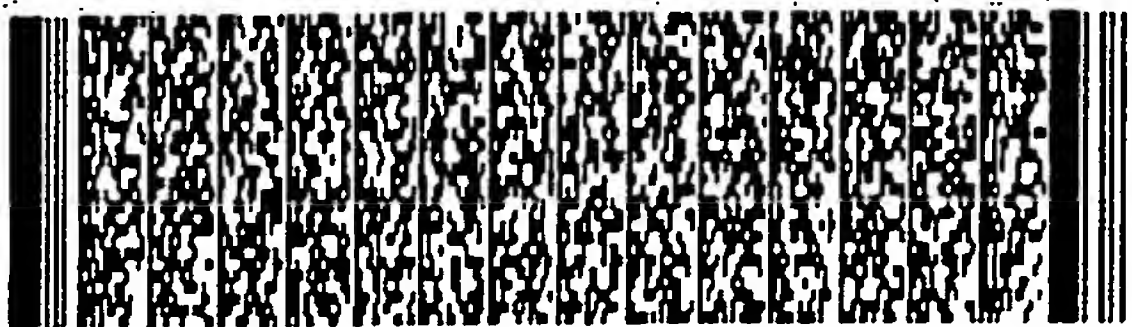


#### 五、發明說明 (4)

##### 發明內容

本發明之主要目的在提供一種低電壓操作之程式化 (program)、抹除 (erase) 以及讀取 (read) P型通道快閃記憶體之方法。

根據本發明之一較佳實施例，本發明提供一種經由通道熱載子誘發熱電子注入機制程式化 PMOS 單電晶體記憶體單元之方法，該 PMOS 單電晶體記憶體單元包含有一二氧化矽-氮化矽-二氧化矽 (ONO) 堆疊層設於一 N 型半導體井中，一 P 型多晶矽閘極設於該 ONO 堆疊層上，一 P 型源極摻雜區設於該 P 型多晶矽閘極一側之該 N 型半導體井中，以及 P 型汲極摻雜區設於該 P 型多晶矽閘極另一側之該 N 型半導體井中，該方法包含有：施加一字元線電壓  $V_{WL}$  予該 PMOS 單電晶體記憶體單元之 P 型多晶矽閘極；施加一源極線電壓  $V_{SL}$  予該 PMOS 單電晶體記憶體單元之 P 型源極摻雜區，其中該源極線電壓  $V_{SL}$  較該字元線電壓  $V_{WL}$  大，使該 P 型多晶矽閘極與該 P 型源極摻雜區之間具足夠之偏壓讓該 PMOS 單電晶體記憶體單元之 P 型通道開啟；施加一位元線電壓  $V_{BL}$  予該 PMOS 單電晶體記憶體單元之 P 型汲極摻雜區，其中該位元線電壓  $V_{BL}$  較該源極線電壓  $V_{SL}$  小，藉此驅動通道熱電洞由該 P 型源極摻雜區經由該 P 型通道流向該 P 型汲極摻雜區，並在靠近該 P 型汲極摻雜區之該 P 型通道中誘發產生熱電子使其注入該 ONO 堆疊層中；以及施加一井電



##### 五、發明說明 (5)

壓  $V_{NW}$  予該 PMOS 單電晶體記憶體單元之 N 型半導體井，其中該井電壓  $V_{NW}$  等於該源極線電壓  $V_{SL}$ 。

根據本發明之另一較佳實施例，本發明提供一種透過帶對帶穿隧 (band-to-band tunneling, BTBT) 注入機制程式化 PMOS 單電晶體記憶體單元之方法，該 PMOS 單電晶體記憶體單元包含有一二氧化矽-氮化矽-二氧化矽 (ONO) 堆疊層設於一 N 型井上，一 P 型多晶矽閘極設於該 ONO 堆疊層上，一 P 型源極摻雜區設於該 P 型多晶矽閘極一側之該 N 型井中，以及 P 型汲極摻雜區設於該 P 型多晶矽閘極另一側之該 N 型井中，該方法包含有：施加一字元線電壓  $V_{WL}$  予該 PMOS 單電晶體記憶體單元之 P 型多晶矽閘極，其中  $V_{WL} > 0V$ ；浮置 (floating) 該 PMOS 單電晶體記憶體單元之 P 型源極摻雜區；以及分別施加一位元線電壓  $V_{BL}$  予該 PMOS 單電晶體記憶體單元之 P 型汲極摻雜區，以及施加一井電壓  $V_{NW}$  予該 PMOS 單電晶體記憶體單元之 N 型井，其中依據本發明之較佳實施例，該井電壓  $V_{NW}$  與該位元線電壓  $V_{BL}$  之偏壓 ( $V_{NW} - V_{BL}$  bias) 約為 4~8 伏特，此偏壓足以產生帶對帶穿隧注入機制。

“讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。





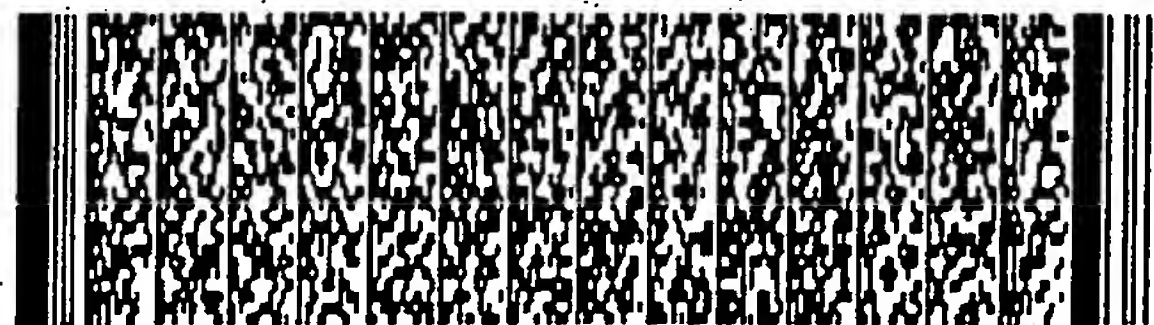
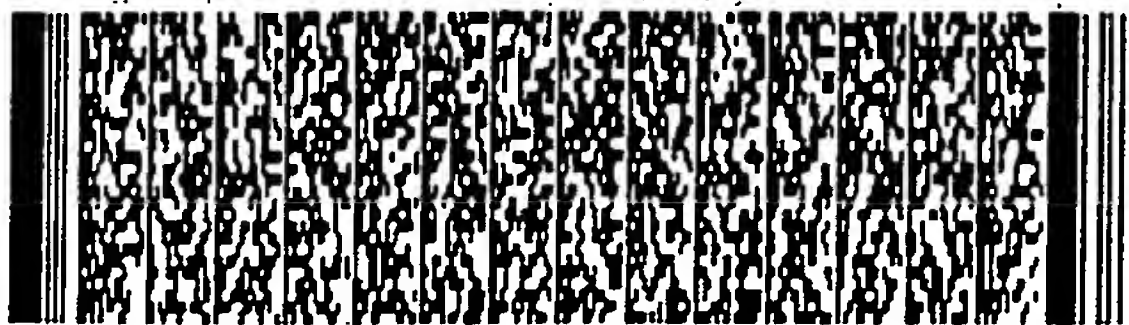
## 五、發明說明 (6)

### 實施方式

本發明係關於一種單電晶體 P 型通道快閃記憶體之程式化、抹除以及讀取操作方法。以下即藉由圖二至圖十三詳細說明本發明之較佳實施例，然熟知該項技藝者應理解說明書中以及圖式中所舉電壓參數僅供參考，並非對本發明之範圍加以限制者。

### 本發明 P 型通道快閃記憶體結構

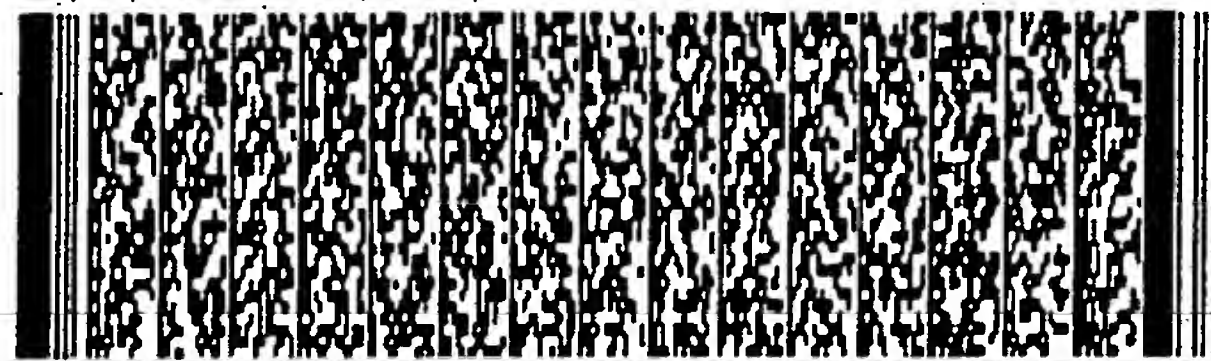
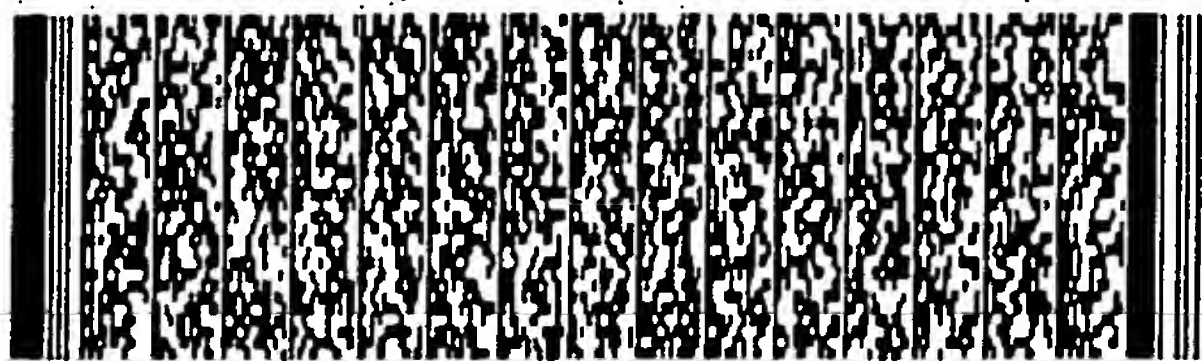
參閱圖二以及圖三，圖二為本發明較佳實施例之 P 型通道快閃記憶體剖面示意圖，圖三為本發明較佳實施例之快閃記憶體陣列圖。如圖二所示，本發明 P 型通道快閃記憶體單元 101，如虛線所框示者，包含有一 N 型井 11、一 ONO 介電層 13 設於 N 型井 11 上、一閘極 12 設於 ONO 介電層 13 上、一 P 汲極摻雜區 14 設於 ONO 介電層 13 一側之 N 型井 11 中，以及一 P 源極摻雜區 15 設於 ONO 介電層 13 另一側之 N 型井 11 中。依據本發明之較佳實施例，N 型井 11 形成於一 P 型半導體基底 10 中，閘極 12 係為一 P 摻雜多晶矽層，但不限於此。閘極 12 亦可為多晶矽化金屬層或直接以金屬形式。ONO 介電層 13 包含有一二氧化矽底層 131、一電荷捕捉氮化矽層 132 以及一二氧化矽上層 133。P 汲極摻雜區 14 與 P 源極摻雜區 15 定義出 P 型通道 16。



#### 五、發明說明 (7)

請同時參閱圖二以及圖三，閘極 12 為字元線之一部分。快閃記憶體陣列 100 中有複數條不同列 (row) 之字元線 WL，各字元線將同一列的電晶體閘極串接起來。在圖二中的 P 型通道快閃記憶體單元 101 與 P 型通道快閃記憶體單元 102 則位在不同列，但屬於同一行 (column)，並設於同一行之 N 型井上。快閃記憶體陣列另有複數條與字元線垂直排列之位元線 BL。操作時，快閃記憶體單元 101 的閘極 12 經由相對應之字元線輸入一字元線電壓  $V_{WL}$ ，快閃記憶體單元 101 的 P 汲極摻雜區 14 經由位元線 BL 輸入一位元線電壓  $V_{BL}$ ，快閃記憶體單元 101 的 P 源極摻雜區 15 經由源極 SL 輸入一源極線電壓  $V_{SL}$ ，而 N 型井則輸入一井電壓  $V_{NW}$ 。源極線 SL 可以為埋入式摻雜區。由圖二可看出，P 型通道快閃記憶體單元 101 與 P 型通道快閃記憶體單元 102 係共用同一 P 汲極摻雜區 14。

請參閱圖十四，圖十四顯示本發明較佳實施例之記憶體佈局示意圖。如圖十四所示，記憶體佈局包含有複數個主動區域 201、複數條字元線如  $WL_0$ 、 $WL_1$ 、 $WL$  等排列在基底 200 上、與字元線呈垂直正交排列之複數條位元線如  $BL_0$ 、 $BL_1$ 、 $BL$  等形成於一層間介電層 (圖未示) 之上、在兩相鄰字元線  $WL$  及  $WL$  之間為埋入式 (buried) 或離子摻雜源極線  $SL_1$ 。主動區域 201 與埋入式源極線如  $SL$  及  $SL$  等係以同一光罩定義，由淺溝絕緣區域 202 所定義並且隔絕，且埋入式源極線係與 P 汲極 / 源極摻雜區在同一離子佈植製



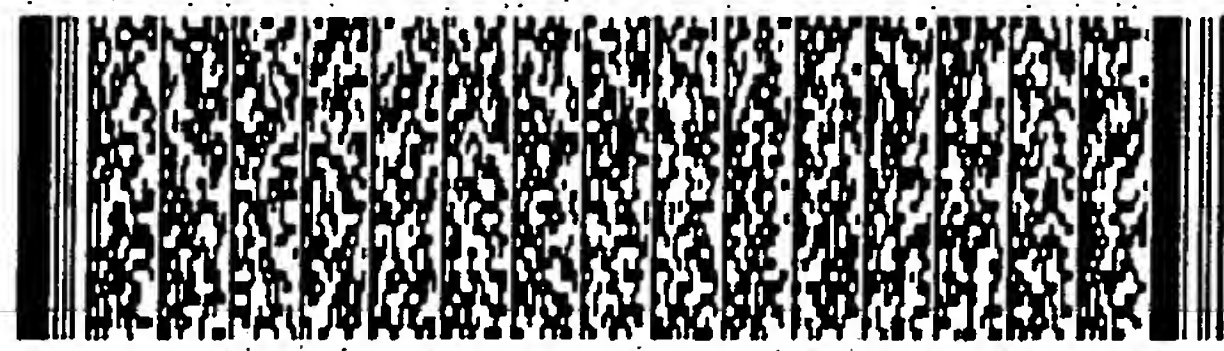
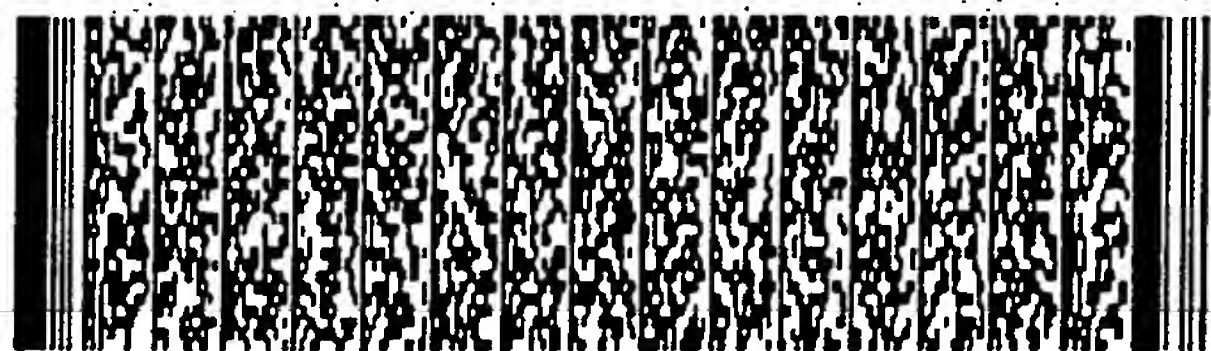


#### 五、發明說明 (8)

程形成。在各字元線下方為 ONO 介電層 (圖未示)。請同時參閱圖二，圖十四中亦框示如圖二中之記憶體電晶體 101 與記憶體電晶體 102 之位置，其中記憶體電晶體 101 之 P 源極 15 係與埋入式源極線 SL 相連結，記憶體電晶體 101 之 P<sup>+</sup>汲極 14 係經由接觸插塞 204 與位元線 BL<sub>1</sub> (圖未示) 電連結。

請參閱圖十五，圖十五顯示本發明另一較佳實施例之記憶體佈局示意圖。如圖十五所示，記憶體佈局包含有複數個主動區域 301、複數條字元線如 WL<sub>0</sub>、WL<sub>1</sub>、WL<sub>2</sub>、WL<sub>3</sub> 等排列在基底 300 上、與字元線呈垂直正交排列之複數條位元線如 BL<sub>0</sub>、BL<sub>1</sub>、BL<sub>2</sub> 等形成於一層間介電層 (圖未示) 之上、在兩相鄰字元線 (如圖中 WL<sub>0</sub>、WL<sub>1</sub> 之間，WL<sub>2</sub>、WL<sub>3</sub> 之間) 之間為埋入式源極線如 SL<sub>0</sub> 及 SL<sub>1</sub> 等。主動區域 301 係由淺溝絕緣區域 302 所定義出來，且主動區域 301 與埋入式源極線如 SL<sub>0</sub> 及 SL<sub>1</sub> 等並非以同一光罩定義。在各字元線 WL<sub>0</sub>、WL<sub>1</sub>、WL<sub>2</sub>、WL<sub>3</sub> 下方為 ONO 介電層 (圖未示)。

圖十五中之切線 x1、x2、y1、y2 分別顯示在圖十六中。如圖十五及十六所示，沿著 x1 切線方向，字元線 WL<sub>2</sub> 下方為 ONO 介電層 310，且字元線 WL 跨經主動區域 301 以及淺溝絕緣 (STI) 區域 302。沿著 x2 切線方向，亦即源極線 SL 方向，可見源極線 SL 沿著淺溝絕緣區域 302 下方連結各個記憶體電晶體的源極 307，在基底表面上覆蓋遮層間介電層 ILD，而在 ILD 上則定義有複數條位元線如 BL<sub>0</sub>、BL<sub>1</sub>、BL<sub>2</sub>。

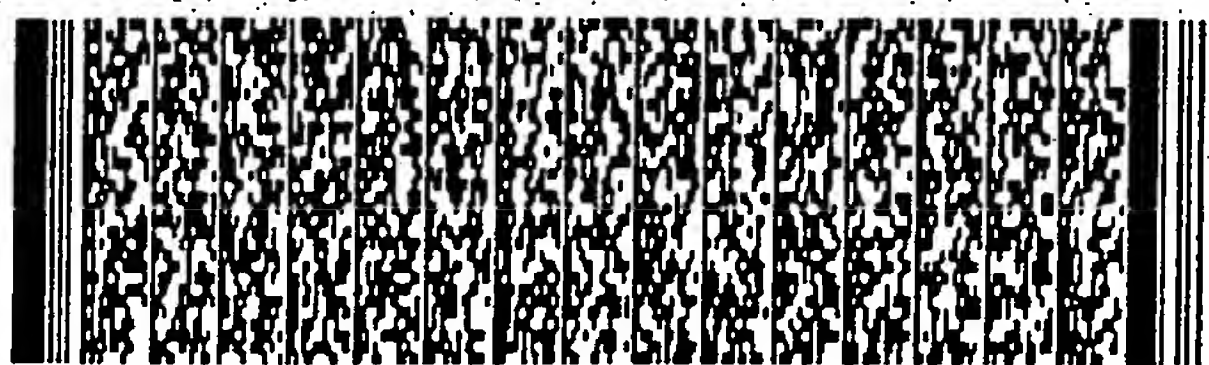


#### 五、發明說明 (9)

等。沿著切線  $y_1$  方向，同一串列之記憶體電晶體的汲極 306 經由接觸插塞與位元線 BL 電連接。沿著切線  $y_2$  方向，可見連結源極之 P 摻雜區，其係在形成 STI 區域之後，利用另一光罩，將圖十五中的 S<sub>0</sub> 以及 S 區域挖開，再植入 P 型摻質，然後形成金屬矽化物，形成連結記憶體源極之源極線 SL。被挖開之區域 S<sub>0</sub> 以及 S 隨後再被 ILD 填滿。

請參閱圖十七，圖十七顯示本發明另一較佳實施例之記憶體佈局示意圖。如圖十七所示，記憶體佈局包含有複數個主動區域 401、複數條字元線如  $WL_0$ 、 $WL_1$ 、 $WL_2$ 、 $WL_3$  等列在基底 300 上、與字元線  $WL_0$ 、 $WL_1$ 、 $WL_2$ 、 $WL_3$  呈垂直正交排列之複數條位元線如  $BL_0$ 、 $BL_1$ 、 $BL_2$  等形成於一層間介電層 (圖未示) 之上、在兩相鄰字元線 (如圖中  $WL_0$ 、 $WL_1$  之間， $WL_2$ 、 $WL_3$  之間) 之間為區域內連線源極線如  $SL_0$  及  $SL_1$  等。主動區域 401 係由淺溝絕緣區域 402 所定義出來。主動區域 401 與埋入式源極線如  $SL_0$  及  $SL_1$  等並非以同一光罩定義。區域內連線源極線如  $SL_0$  及  $SL_1$  等係與區域內連線 (local interconnect) 同時定義，用以連結記憶體電晶體之源極。在各字元線  $WL_0$ 、 $WL_1$ 、 $WL_2$ 、 $WL_3$  下方為 ONO 介電層 (圖未示)。

圖十七中之切線  $x_1$ 、 $x_2$ 、 $y_1$ 、 $y_2$  分別顯示在圖十八中。如圖十七、圖十八所示，沿著  $x_1$  切線方向，字元線  $WL_2$  下方為 ONO 介電層 410，且字元線  $WL$  跨經主動區域 401 以及淺





#### 五、發明說明 (10)

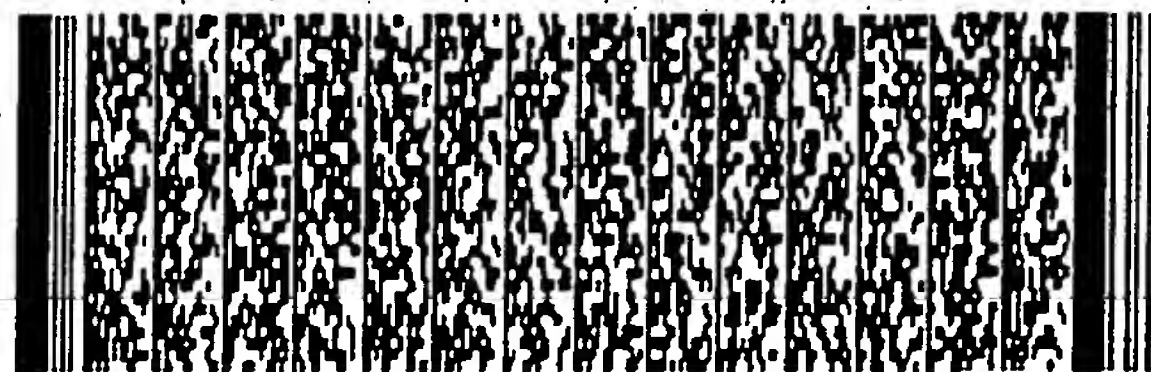
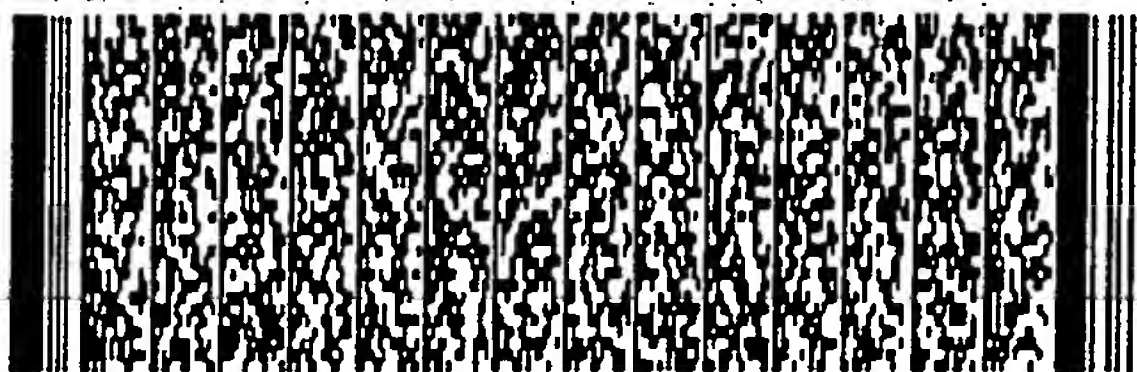
溝絕緣 (STI) 區域 402。沿著 x2 切線方向，亦即源極線  $SL_0$  方向，可見源極線  $SL$  藉由由鎢或金屬矽化物構成之區域內連線 (local interconnect, IL) 連結同一列中各個記憶體電晶體的 P 源極，在基底表面上覆蓋遮層間介電層  $ILD$ ，而在  $ILD$  上則定義有複數條位元線如  $BL_0$ 、 $BL_1$ 、 $BL_2$  等。沿著切線  $y1$  方向，同一串列之記憶體電晶體的 P 汲極經由接觸插塞  $C$  及  $C$  與位元線  $BL$  電連接，其中接觸插塞  $C_1$  係形成於  $ILD_1$ ，而接觸插塞  $C$  係形成於  $ILD_2$ 。沿著切線  $y2$  方向，可見形成於相鄰兩字線間 (如圖中  $WL_0$ 、 $WL_1$  之間， $WL_2$ 、 $WL_3$  之間) 的區域內連線  $IL$ ，用以電連接同一列中各個記憶體電晶體的 P 源極，構成源極線。

#### 本發明 P 型通道快閃記憶體之操作方法

例一：

#### 程式化操作 (通道熱載子誘發熱電子注入機制)

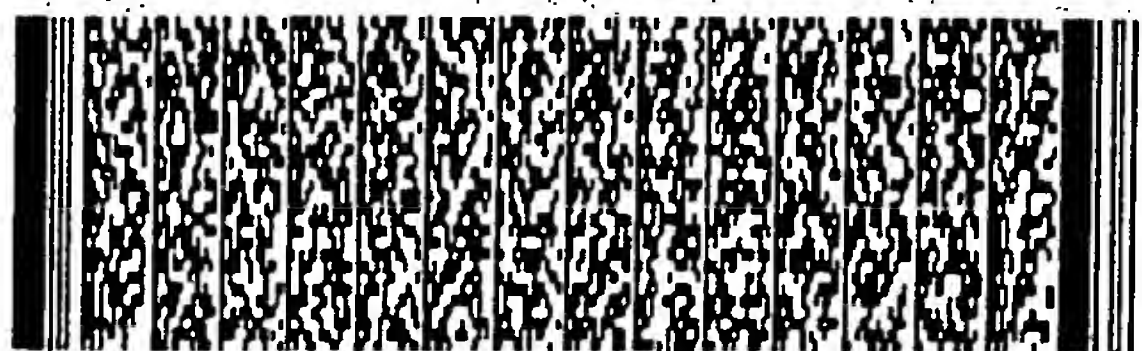
請參閱圖四以及圖五，圖四以及圖五顯示本發明較佳實施例之程式化操作電壓狀態。本發明係提供一種程式化 PMOS 單電晶體記憶體單元之方法，該 PMOS 單電晶體記憶體單元，如虛線框示者，包含有一二氧化矽-氮化矽-二氧化矽 (ONO) 堆疊層 13 設於一 N 型半導體井 11 上，一 P 型多晶矽閘極 12 設於 ONO 堆疊層 13 上，一 P 型源極摻雜區 15 設



#### 五、發明說明 (11)

於 P 型多晶矽閘極 12 一側之 N 型半導體井 11 中，以及 P 型汲極摻雜區 14 設於 P 型多晶矽閘極 12 另一側之 N 型半導體井 13 中，本發明程式化 PMOS 單電晶體記憶體單元之方法包含有：施加一字元線電壓  $V_{WL}$ ，例如  $V_{WL} = -2$  伏特，予 PMOS 單電晶體記憶體單元之 P 型多晶矽閘極 12；施加一源極線電壓  $V_{SL}$  予 PMOS 單電晶體記憶體單元之 P 型源極摻雜區 15，其中源極線電壓  $V_{SL}$  較該字元線電壓  $V_{WL}$  大，例如  $V_{SL} = 0$  伏特，使 P 型多晶矽閘極 12 與該 P 型源極摻雜區 15 之間具足夠之漏壓讓 PMOS 單電晶體記憶體單元 101 之 P 型通道 16 開啟；施加一位元線電壓  $V_{BL}$  予 PMOS 單電晶體記憶體單元 101 之 P 型汲極摻雜區 14，其中位元線電壓  $V_{BL}$  較源極線電壓  $V_{SL}$  小，例如  $V_{BL} = -5$  伏特，藉此提供橫向電場，驅動通道熱電洞 22 由 P 型源極摻雜區 15 經由 P 型通道 16 加速流向 P 型汲極摻雜區 14，並在靠近 P 型汲極摻雜區 14 之 P 型通道 16 中誘發產生熱電子使其注入 ONO 堆疊層 13 中；以及施加一井電壓  $V_{NW}$  予該 PMOS 單電晶體記憶體單元之 N 型半導體井，其中井電壓  $V_{NW}$  等於源極線電壓  $V_{SL}$ 。通道熱電洞 22 在靠近 P 型汲極摻雜區 14 之 P 型通道 16 中誘發產生熱電子使其注入 ONO 堆疊層 13 中係藉由通道熱電洞引發熱電子 (channel hot hole induced hot electron) 注入機制。經由通道熱電洞引發熱電子注入機制進行程式化後，所導致記憶體元件的閘極電壓偏移可參考圖十九。

如圖五所示，進行程式化時，在與選定之 PMOS 單電晶體



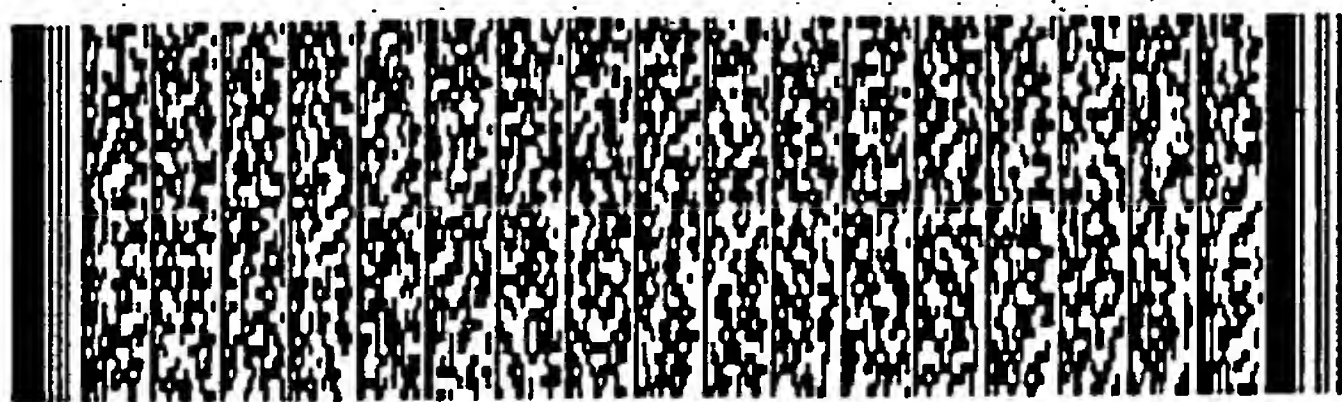


#### 五、發明說明 (12)

記憶體單元 101 同一行之未選定 PMOS 單電晶體記憶體單元 102，其操作條件為：字元線電壓  $V_{WL} = 1V$ 、源極為浮置狀態 (FL)、位元線電壓  $V_{BL} = -5V$  以及井電壓  $V_{NW} = 0V$ 。在其它實施例中，源極亦可接地 ( $V_{SL} = 0V$ ) 或者源極電壓與井電壓相同 ( $V_{SL} = V_{NW}$ )。在此條件下，記憶體單元 102 之 P 型通道 17 將不開啟，使電晶體呈現 OFF 狀態。在與選定之 PMOS 單電晶體記憶體單元 101 同一列之未選定 PMOS 單電晶體記憶體單元，其操作條件為：字元線電壓  $V_{WL} = -2V$ 、源極  $V_{SL} = 0$  伏特、位元線電壓  $V_{BL} = 0V$  以及井電壓  $V_{NW} = 0V$ 。在此條件下，記憶體單元之 P 型通道將不開啟，使電晶體呈現 FF 狀態。在與選定之 PMOS 單電晶體記憶體單元 101 不同一列也不同一行之未選定 PMOS 單電晶體記憶體單元，其操作條件為：字元線電壓  $V_{WL} = 1V$ 、源極為浮置狀態、位元線電壓  $V_{BL} = 0V$  以及井電壓  $V_{NW} = 0V$ 。在此條件下，記憶體單元之 P 型通道將不開啟，使電晶體呈現 OFF 狀態。

此外，所有操作電壓，包括字元線電壓  $V_{WL}$ 、源極線電壓  $V_{SL}$ 、位元線電壓  $V_{BL}$  以及井電壓  $V_{NW}$  可平移一固定電壓值，例如 5 伏特，使操作電壓皆為正電壓。在平移 5 伏特電壓後，程式化 PMOS 單電晶體記憶體單元 101 之操作條件變為：字元線電壓  $V_{WL} = 3V$ 、源極線電壓  $V_{SL} = 5V$ 、位元線電壓  $V_{BL} = 0V$  以及井電壓  $V_{NW} = 5V$ 。

讀取操作



## 五、發明說明 (13)

請參閱圖六，圖六以剖面顯示本發明較佳實施例之讀取操作電壓狀態。熱電子注入並且被侷限在靠近P型汲極摻雜區14端ONO堆疊層13中之後，使P型汲極摻雜區14向P型源極摻雜區15方向延伸，換言之，造成P型通道16減短。因此，對於已經寫入資料之PMOS單電晶體記憶體單元101，只需在源極上施加低電壓即可產生汲極-源極貫通(punch through)，讀取到電流。

本發明讀取PMOS單電晶體記憶體單元101之方法包含有：  
施加一字元線電壓 $V_{WL}$ ，例如 $V_{WL}=0$ 伏特，予PMOS單電晶體記憶體單元101之P型多晶矽閘極12；施加一源極線電壓 $V_{SL}$ 予PMOS單電晶體記憶體單元之P型源極摻雜區15，其中該源極線電壓 $V_{SL}$ 較該字元線電壓 $V_{WL}$ 小，例如 $V_{SL}=-2$ 伏特，使P型多晶矽閘極12與該P型源極摻雜區15之間具足夠之偏壓讓PMOS單電晶體記憶體單元101之P型通道16(已經縮短)開啟；施加一位元線電壓 $V_{BL}$ 予PMOS單電晶體記憶體單元101之P型汲極摻雜區14，其中位元線電壓 $V_{BL}$ 較源極線電壓 $V_{SL}$ 大，例如 $V_{BL}=0$ 伏特；以及施加一井電壓 $V_{NW}$ 予該PMOS單電晶體記憶體單元之N型半導體井，其中井電壓 $V_{NW}$ 等於位元線電壓 $V_{BL}$ ， $V_{NW}=V_{BL}=0V$ 。

請參閱圖七，圖七以陣列顯示本發明較佳實施例之讀取操作電壓狀態。如圖七所示，在與選定之PMOS單電晶體





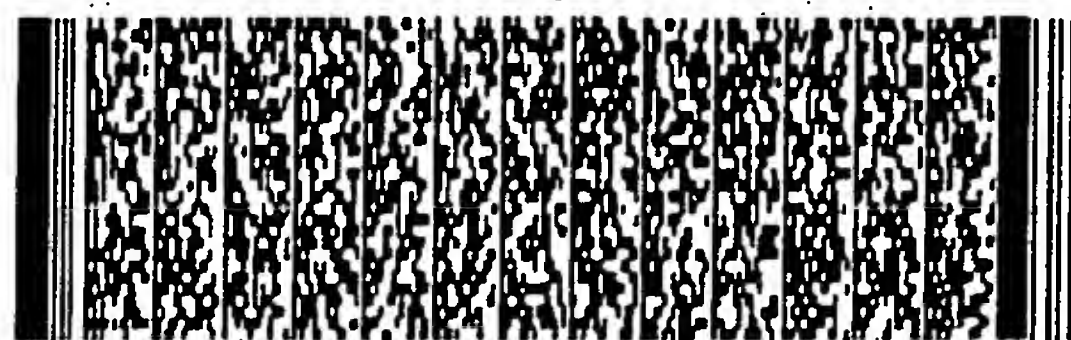
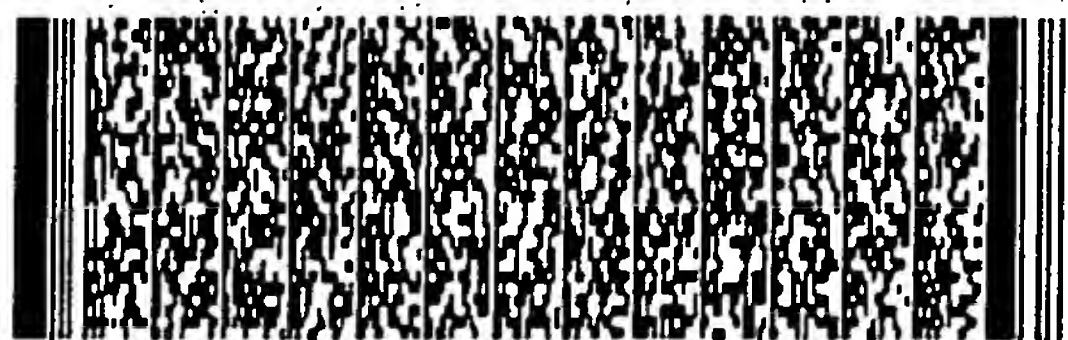
#### 五、發明說明 (14)

記憶體單元 101 同一行之未選定 PMOS 單電晶體記憶體單元 102，其操作條件為：字元線電壓  $V_{WL} = 2V$ 、源極電壓  $V_{SL} = -2V$ 、位元線電壓  $V_{BL} = 0V$  以及井電壓  $V_{NW} = 0V$ 。由於電子並未注入電晶體記憶體單元 102 之 ONO 堆疊層中，因此在此操作條件下，記憶體單元 102 之 P 型通道 17 將不會開啟導通，使電晶體呈現 OFF 狀態，無法讀取到電流。在與選定之 PMOS 單電晶體記憶體單元 101 同一列之未選定 PMOS 單電晶體記憶體單元，其操作條件為：字元線電壓  $V_{WL} = 0V$ 、源極  $V_{SL} = -2$  伏特、位元線電壓  $V_{BL} = -2V$  以及井電壓  $V_{NW} = 0V$ 。在與選定之 PMOS 單電晶體記憶體單元 101 不同一、也不同一行之未選定 PMOS 單電晶體記憶體單元，其操作條件為：字元線電壓  $V_{WL} = 2V$ 、源極電壓  $V_{SL} = -2V$ 、位元線電壓  $V_{BL} = -2V$  以及井電壓  $V_{NW} = 0V$ 。在此條件下，記憶體單元之 P 型通道將不開啟，使電晶體呈現 OFF 狀態。

同樣地，上述所有操作電壓，包括字元線電壓  $V_{WL}$ 、源極線電壓  $V_{SL}$ 、位元線電壓  $V_{BL}$  以及井電壓  $V_{NW}$  可平移一固定電壓值，例如 5 伏特，使操作電壓皆為正電壓。

#### 抹除操作

請參閱圖八，圖八彙整以上較佳實施例包括程式化、讀取以及抹除操作之電壓表。本發明抹除快閃記憶體之方法與習知技藝相同，可以透過使用福樂諾漢穿隧



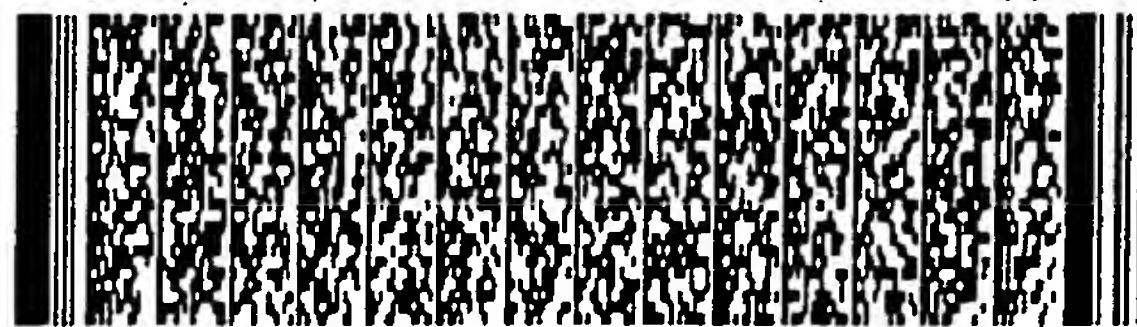
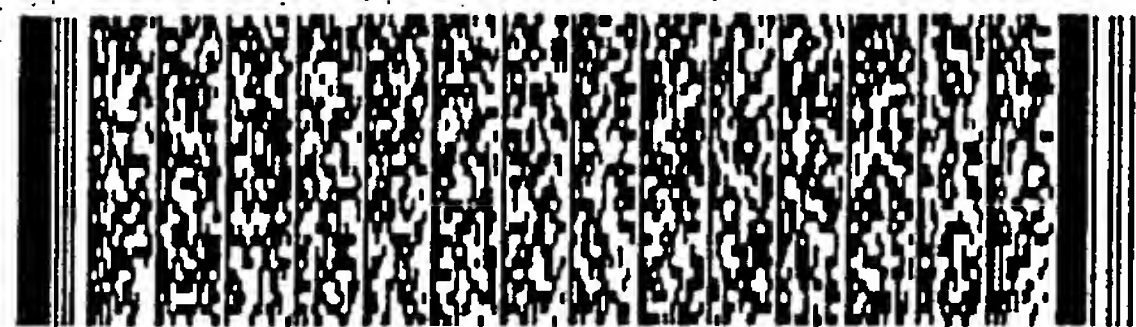
## 五、發明說明 (15)

(Fowler-Nordheim tunneling, FN tunneling)機制或者以紫外光照射方式進行。以透過使用福樂諾漢穿隧 (FN tunneling)機制為例，如圖八所示，抹除係在  $V_{WL} = -6V$ 、 $V_{NW} = 6V$ ，而其他電壓為接地之操作狀態下進行。

例二：

程式化操作 (帶對帶穿隧機制)

參閱圖九以及圖十，圖九以及圖十分別以剖面以及陣列顯示本發明另一較佳實施例之程式化操作電壓狀態。本發明係提供一種程式化 PMOS 單電晶體記憶體單元 101 之方法，該 PMOS 單電晶體記憶體單元 101 包含有一 ONO 堆疊層 13 設於一 N 型井 11 上，一 P 型多晶矽閘極 12 設於 ONO 堆疊層 13 上，一 P 型源極摻雜區 15 設於 P 型多晶矽閘極 12 一側之 N 型井 11 中，以及 P 型汲極摻雜區 14 設於 P 型多晶矽閘極 12 另一側之 N 型井 11 中，該方法包含有：施加一字元線電壓  $V_{WL}$  予 PMOS 單電晶體記憶體單元 101 之 P 型多晶矽閘極 12，其中  $V_{WL} > 0V$ ，例如  $V_{WL} = 5V$ ；浮置 (floating) PMOS 單電晶體記憶體單元 101 之 P 型源極摻雜區 15；以及分別施加一位元線電壓  $V_{BL}$ ，例如  $V_{BL} = -4V$ ，予 PMOS 單電晶體記憶體單元 101 之 P 型汲極摻雜區 14，施加一井電壓  $V_{NW}$ ，例如  $V_{NW} = 2V$ ，予 PMOS 單電晶體記憶體單元 101 之 N 型井 11，使





#### 五、發明說明 (16)

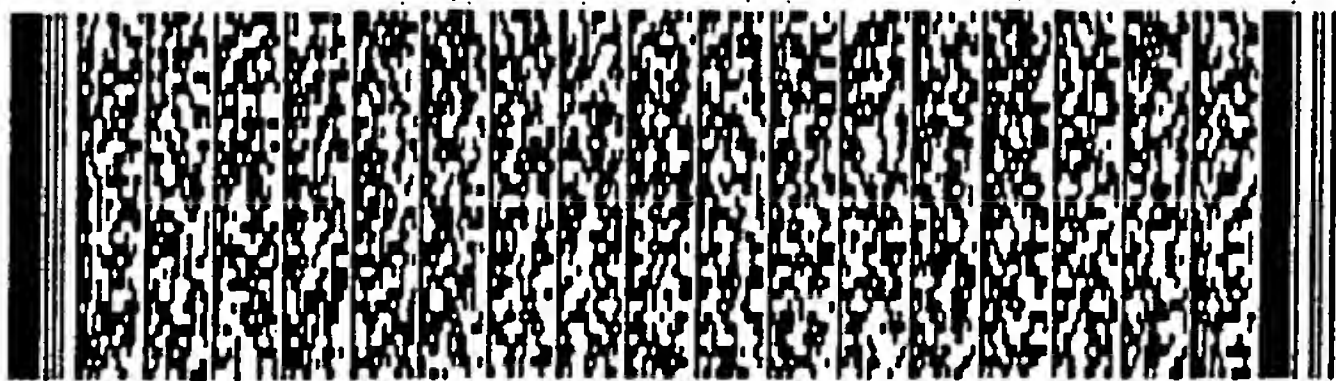
足以產生帶對帶穿隧機制。經由帶對帶穿隧機制進行程式化後，所導致記憶體元件的閘極電壓偏移可參考圖二十。

如圖十所示，在與選定之 PMOS 單電晶體記憶體單元 101 同一行之未選定 PMOS 單電晶體記憶體單元 102，其操作條件為：字元線電壓  $V_{WL} = 0V$ ，源極為浮置狀態，位元線電壓  $V_{BL} = -4V$ ，以及井電壓  $V_{NW} = 2V$ 。在與選定之 PMOS 單電晶體記憶體單元 101 同一列之未選定 PMOS 單電晶體記憶體單元，其操作條件為：字元線電壓  $V_{WL} = 5V$ 、源極為浮置狀態、位元線為浮置狀態，以及井電壓  $V_{NW} = 2V$ 。在與選定之 PMOS 單電晶體記憶體單元 101 不同一列也不同意行之未選定 PMOS 單電晶體記憶體單元，其操作條件為：字元線電壓  $V_{WL} = 0V$ 、源極為浮置狀態、位元線為浮置狀態以及井電壓  $V_{NW} = 2V$ 。

此外，所有操作電壓，包括字元線電壓  $V_{WL}$ 、源極線電壓  $V_{SL}$ 、位元線電壓  $V_{BL}$  以及井電壓  $V_{NW}$  可平移一固定電壓值，例如 +5 伏特，使操作電壓皆為正電壓。

#### 讀取操作

請參閱圖十一，圖十一以剖面顯示本發明另一較佳實施例之讀取操作電壓狀態。熱電子注入並且被侷限在靠近 P

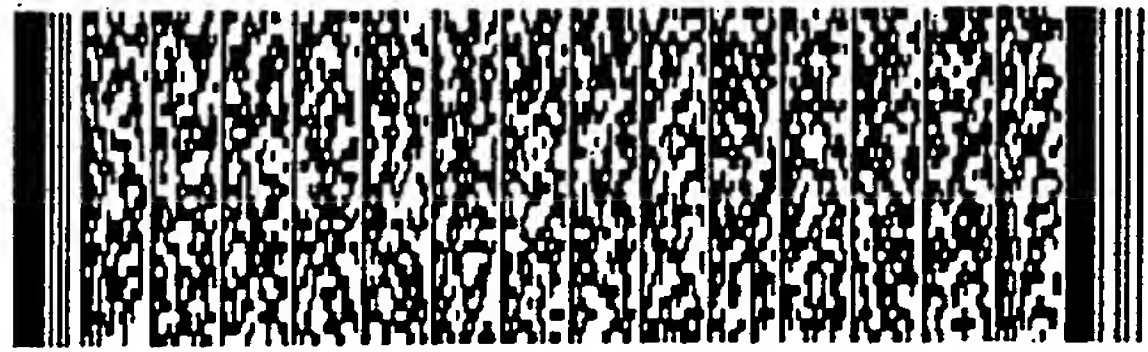
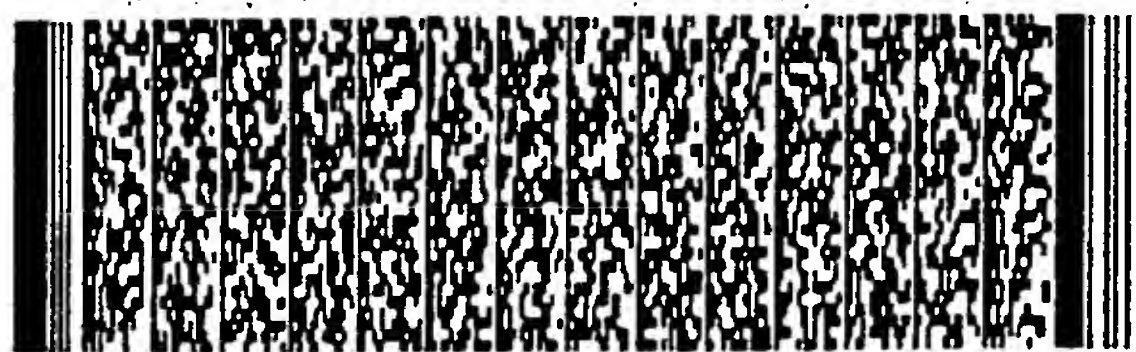


##### 五、發明說明 (17)

型汲極摻雜區 14 端 ONO 堆疊層 13 中之後，使 P 型汲極摻雜區 14 向 P 型源極摻雜區 15 方向延伸，換言之，造成 P 型通道 16 減短。因此，對於已經寫入資料之 PMOS 單電晶體記憶體單元 101，只需在閘極上施加讀取電壓即可產生汲極-源極貫通 (punch through)，讀取到電流。

本發明讀取 PMOS 單電晶體記憶體單元 101 之方法包含有：施加一字元線電壓  $V_{WL}$ ，例如  $V_{WL} = 0$  伏特，予 PMOS 單電晶體記憶體單元 101 之 P 型多晶矽閘極 12；施加一源極線電壓  $V_{SL}$  予 PMOS 單電晶體記憶體單元之 P 型源極摻雜區 15，其中源極線電壓  $V_{SL}$  較該字元線電壓  $V_{WL}$  小，例如  $V_{SL} = -2$  伏特，使 P 型多晶矽閘極 12 與該 P 型源極摻雜區 15 之間具足夠之偏壓讓 PMOS 單電晶體記憶體單元 101 之 P 型通道 16 (已經縮短) 開啟；施加一位元線電壓  $V_{BL}$  予 PMOS 單電晶體記憶體單元 101 之 P 型汲極摻雜區 14，其中位元線電壓  $V_{BL}$  較源極線電壓  $V_{SL}$  大，例如  $V_{BL} = 0$  伏特；以及施加一井電壓  $V_{NW}$  予該 PMOS 單電晶體記憶體單元之 N 型半導體井，其中井電壓  $V_{NW}$  等於位元線電壓  $V_{BL}$ ， $V_{NW} = V_{BL} = 0V$ 。

請參閱圖十二，圖十二以陣列顯示本發明另一較佳實施例之讀取操作電壓狀態。如圖十二所示，在與選定之 PMOS 單電晶體記憶體單元 101 同一行之未選定 PMOS 單電晶體記憶體單元 102，其操作條件為：字元線電壓  $V_{WL} = 2V$ 、源極電壓  $V_{SL} = -2V$ 、位元線電壓  $V_{BL} = 0V$  以及井電壓  $V_{NW} =$





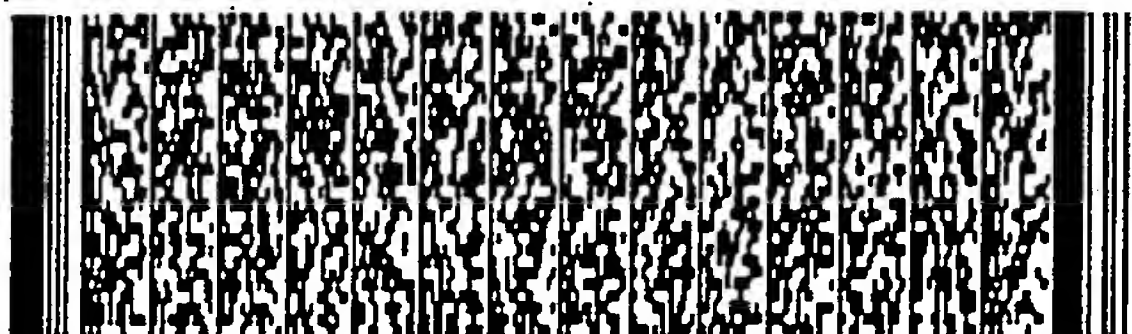
#### 五、發明說明 (18)

0V。由於電子並未注入電晶體記憶體單元 102 之 ONO 堆疊層中，因此在此操作條件下，記憶體單元 102 之 P 型通道 17 將不會開啟導通，使電晶體呈現 OFF 狀態，無法讀取到電流。在與選定之 PMOS 單電晶體記憶體單元 101 同一列之未選定 PMOS 單電晶體記憶體單元，其操作條件為：字元線電壓  $V_{WL} = 0V$ 、源極  $V_{SL} = -2$  伏特、位元線電壓  $V_{BL} = -2V$  以及井電壓  $V_{NW} = 0V$ 。在與選定之 PMOS 單電晶體記憶體單元 101 不同一列也不同意行之未選定 PMOS 單電晶體記憶體單元，其操作條件為：字元線電壓  $V_{WL} = 2V$ 、源極電壓  $V_{SL} = -2V$ 、位元線電壓  $V_{BL} = -2V$  以及井電壓  $V_{NW} = 0V$ 。在此條件，記憶體單元之 P 型通道將不開啟，使電晶體呈現 OFF 狀態。

同樣地，上述所有操作電壓，包括字元線電壓  $V_{WL}$ 、源極線電壓  $V_{SL}$ 、位元線電壓  $V_{BL}$  以及井電壓  $V_{NW}$  可平移一固定電壓值，例如 5 伏特，使操作電壓皆為正電壓。

#### 抹除操作

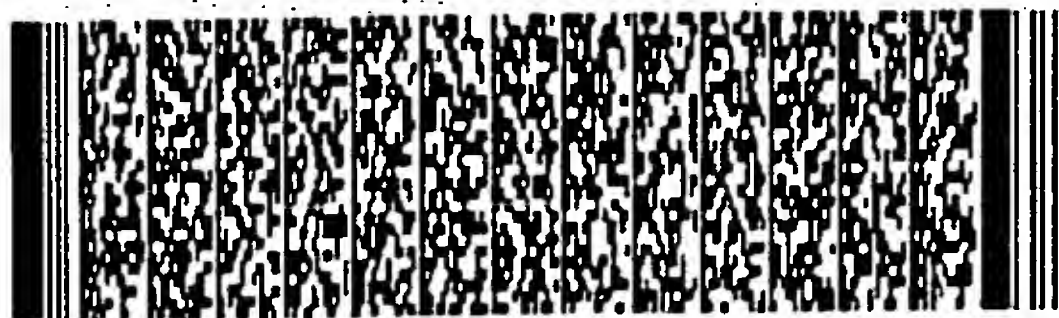
請參閱圖十三，圖十三彙整本發明另一較佳實施例包括程式化 (BTBT)、讀取以及抹除操作之操作電壓表。本發明抹除快閃記憶體之方法與習知技藝相同，可以透過使用福樂諾漢穿隧 (Fowler-Nordheim tunneling, FN tunneling) 機制或者以紫外光照射方式進行。以透過使



#### 五、發明說明 (19)

用福樂諾漢穿隧 (FN tunneling) 機制為例，如圖十三所示，抹除係在  $V_{WL} = -6V$ 、 $V_{NW} = 6V$ ，而其他電壓為接地之操作狀態下進行。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一顯示一典型 P 通道快閃記憶體單元在一寫入操作模式下之剖面示意圖。

圖二為本發明較佳實施例之 P 型通道快閃記憶體剖面示意圖。

圖三為本發明較佳實施例之快閃記憶體陣列圖。

圖四以及圖五顯示本發明較佳實施例之程式化操作電壓狀態。

圖六以剖面顯示本發明較佳實施例之讀取操作電壓狀態。

圖七以陣列顯示本發明較佳實施例之讀取操作電壓狀態。

圖八為本發明較佳實施例包括程式化、讀取以及抹除操作之電壓彙整表。

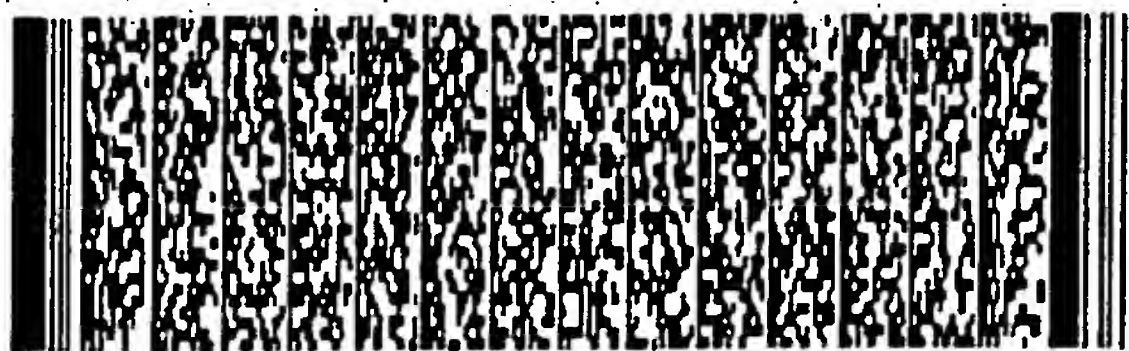
圖九以及圖十分別以剖面以及陣列顯示本發明另一較佳實施例之程式化操作電壓狀態。

圖十一以及圖十二以剖面顯示本發明另一較佳實施例之讀取操作電壓狀態。

圖十三以及圖十四以陣列顯示本發明另一較佳實施例之讀取操作電壓狀態。

圖十五以及圖十六為本發明另一較佳實施例包括程式化 (BTBT)、讀取以及抹除操作之電壓彙整表。

圖十七顯示本發明較佳實施例之記憶體佈局示意圖。





## 圖式簡單說明

圖十五顯示本發明另一較佳實施例之記憶體佈局示意圖。

圖十六顯示圖十五中之切線 x1、x2、y1、y2 方向剖面結構。

圖十七顯示本發明另一較佳實施例之記憶體佈局示意圖。

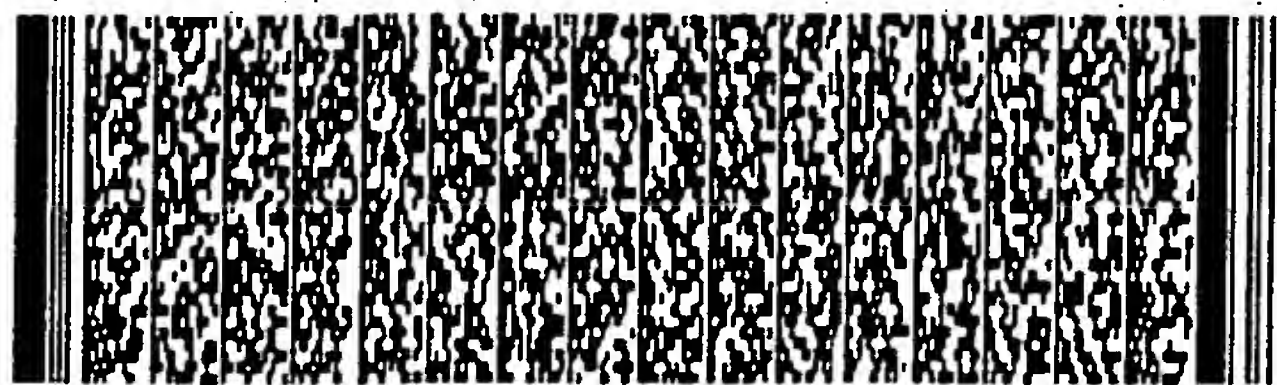
圖十八顯示圖十七中之切線 x1、x2、y1、y2 方向剖面結構。

圖十九顯示經由通道熱電洞引發熱電子注入機制進行程式化後，所導致記憶體元件的閘極電壓 (Gate Voltage) 移。

圖二十顯示經由帶對帶穿隧機制進行程式化後，所導致記憶體元件的閘極電壓偏移。

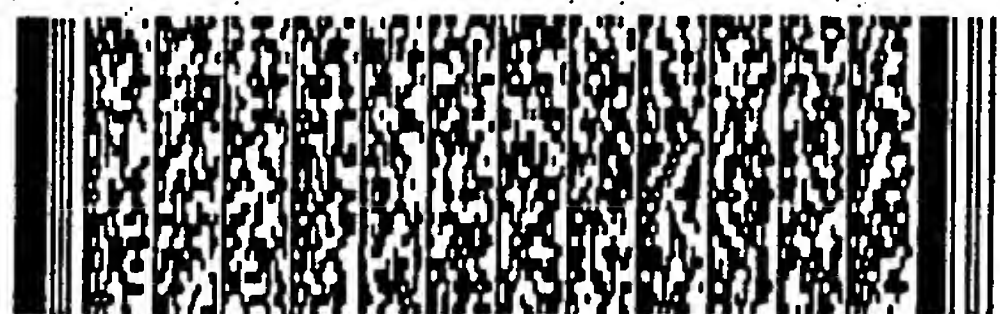
## 圖式之符號說明

10'	P通道快閃記憶體單元	12'	N型摻雜基底
14'	N型摻雜控制閘極	16'	N型摻雜浮動閘極
17'	P摻雜源極	18'	P摻雜汲極
21'	隧穿氧化層	22'	電容介電層
10	P型半導體基底	11	N型井
12	閘極	13	ONO介電層
14	P汲極摻雜區	15	P源極摻雜區
16	P型通道	17	P型通道



圖式簡單說明

22	熱電洞	101	選定之記憶體單元
102	未選定之記憶體單元	131	二氧化矽底層
132	電荷捕捉氮化矽層	133	二氧化矽上層
200	基底	201	主動區域
202	淺溝絕緣區域	204	接觸插塞
300	基底	301	主動區域
302	淺溝絕緣區域	306	汲極
307	源極	310	ONO介電層
400	基底	401	主動區域
402	淺溝絕緣區域	410	ONO介電層



#### 六、申請專利範圍

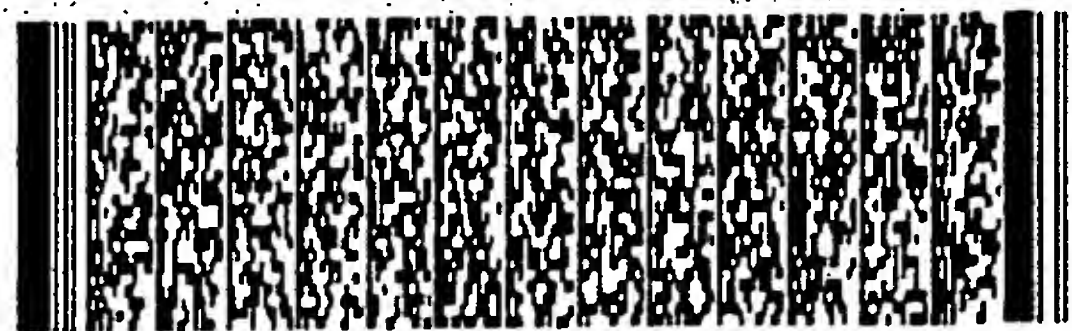
1. 一種程式化 PMOS 單電晶體記憶體單元之方法，該 PMOS 單電晶體記憶體單元包含有一二氧化矽-氮化矽-二氧化矽 (ONO) 堆疊層設於一 N 型半導體井上，一 P 型多晶矽閘極設於該 ONO 堆疊層上，一 P 型源極摻雜區設於該 P 型多晶矽閘極一側之該 N 型半導體井中，以及 P 型汲極摻雜區設於該 P 型多晶矽閘極另一側之該 N 型半導體井中，該程式化方法包含有：

施加一字元線電壓  $V_{WL}$  予該 PMOS 單電晶體記憶體單元之 P 型多晶矽閘極；

施加一源極線電壓  $V_{SL}$  予該 PMOS 單電晶體記憶體單元之 P 型源極摻雜區，其中該源極線電壓  $V_{SL}$  較該字元線電壓  $V_{WL}$  為正，且  $|V_{WL} - V_{SL}|$  大於該 PMOS 單電晶體記憶體單元之臨界電壓 (threshold voltage,  $V_{TH}$ )，使該 P 型多晶矽閘極與該 P 型源極摻雜區之間具足夠之偏壓讓該 PMOS 單電晶體記憶體單元之 P 型通道開啟；

施加一位元線電壓  $V_{BL}$  予該 PMOS 單電晶體記憶體單元之 P 型汲極摻雜區，其中該位元線電壓  $V_{BL}$  較該源極線電壓  $V_{SL}$  為負，藉此驅動通道熱電洞由該 P 型源極摻雜區經由該 P 型通道流向該 P 型汲極摻雜區，並在靠近該 P 型汲極摻雜區之該 P 型通道中誘發產生熱電子使其注入該 ONO 堆疊層中；以及

施加一井電壓  $V_{NW}$  予該 PMOS 單電晶體記憶體單元之 N 型半導體井，其中該井電壓  $V_{NW}$  等於該源極線電壓  $V_{SL}$ 。





#### 六、申請專利範圍

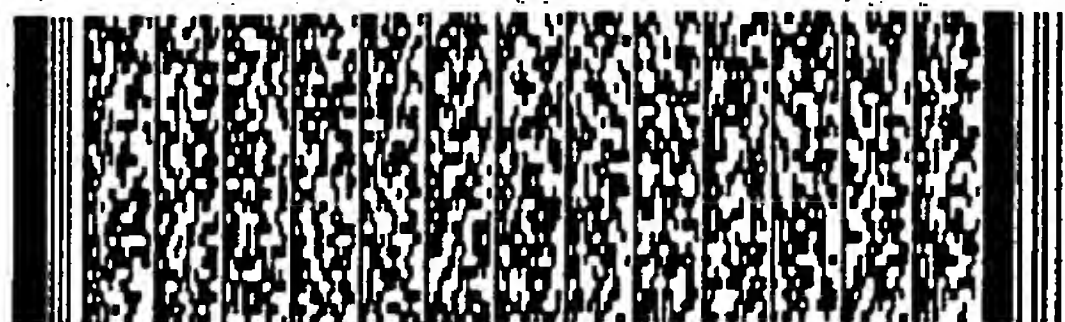
2.如申請專利範圍第1項所述之程式化PMOS單電晶體記憶體單元之方法，其中通道熱電洞在靠近該P型汲極摻雜區之該P型通道中誘發產生熱電子使其注入該ONO堆疊層中係藉由通道熱電洞引發熱電子(channel hot hole induced hot electron)注入機制。

3.如申請專利範圍第1項所述之程式化PMOS單電晶體記憶體單元之方法，其中該字元線電壓 $V_{WL}$ 介於0~4伏特，該源極線電壓 $V_{SL}$ 為3~5伏特，該位元線電壓 $V_{BL}$ 為0伏特，該井電壓 $V_{NW}$ 為3~5伏特。

4.如申請專利範圍第1項所述之程式化PMOS單電晶體記憶體單元之方法，其中該字元線電壓 $V_{WL}$ 為介於-1~-5伏特，該源極線電壓 $V_{SL}$ 為0伏特，該位元線電壓 $V_{BL}$ 為-3~-5伏特，該井電壓 $V_{NW}$ 為0伏特。

5.一種程式化PMOS單電晶體記憶體單元之方法，該PMOS單電晶體記憶體單元包含有一二氧化矽-氮化矽-二氧化矽(ONO)堆疊層設於一N型井上，一P型多晶矽閘極設於該ONO堆疊層上，一P型源極摻雜區設於該P型多晶矽閘極一側之該N型井中，以及P型汲極摻雜區設於該P型多晶矽閘極另一側之該N型井中，該方法包含有：

施加一字元線電壓 $V_{WL}$ 予該PMOS單電晶體記憶體單元之P型多晶矽閘極，其中 $V_{WL} > 0V$ ；



#### 六、申請專利範圍

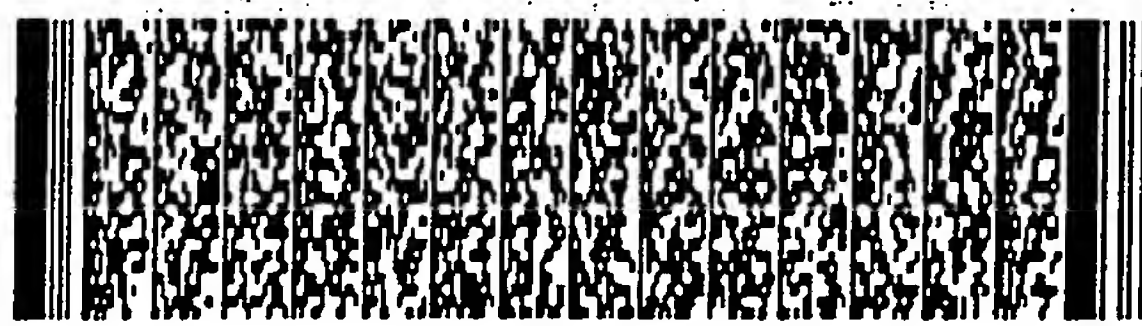
浮置 (floating) 該 PMOS 單電晶體記憶體單元之 P 型源極摻雜區；以及

分別施加一位元線電壓  $V_{BL}$  予該 PMOS 單電晶體記憶體單元之 P 型汲極摻雜區，以及施加一井電壓  $V_{NW}$  予該 PMOS 單電晶體記憶體單元之 N 型井，其中該井電壓  $V_{NW}$  與該位元線電壓  $V_{BL}$  之偏壓 ( $V_{NW} - V_{BL}$  bias) 大於 0 伏特。

6. 如申請專利範圍第 5 項所述之程式化 PMOS 單電晶體記憶體單元之方法，其中該字元線電壓  $V_{WL}$  為 2~8 伏特，該位元線電壓  $V_{BL}$  為 -3~-6 伏特，該井電壓  $V_{NW}$  為 0~5 伏特。

7. 如申請專利範圍第 5 項所述之程式化 PMOS 單電晶體記憶體單元之方法，其中熱電子電洞對產生於該 N 型井與該 P 型汲極摻雜區之接面，而熱電子係藉由帶對帶穿隧 (band-to-band tunneling, BTBT) 寫入 (programming) 機制注入靠近該 P 型汲極摻雜區之該 ONO 堆疊層中。

8. 一種讀取 PMOS 單電晶體記憶體單元之方法，該 PMOS 單電晶體記憶體單元包含有一二氧化矽-氮化矽-二氧化矽 (ONO) 堆疊層設於一 N 型井上，一 P 型多晶矽閘極設於該 ONO 堆疊層上，一 P 型源極摻雜區設於該 P 型多晶矽閘極一側之該 N 型井中，以及 P 型汲極摻雜區設於該 P 型多晶矽閘極另一側之該 N 型井中，且電子侷限 (trapped) 於較靠近該 P 型汲極摻雜區之該 ONO 堆疊層中，該方法包含有：





#### 六、申請專利範圍

施加一字元線電壓  $V_{WL}$  予 PMOS 單電晶體記憶體單元之 P 型多晶矽閘極；

施加一源極線電壓  $V_{SL}$  予 PMOS 單電晶體記憶體單元之 P 型源極摻雜區，其中該源極線電壓  $V_{SL}$  較該字元線電壓  $V_{WL}$  小；

施加一位元線電壓  $V_{BL}$  予 PMOS 單電晶體記憶體單元之 P 型汲極摻雜區，其中該位元線電壓  $V_{BL}$  較該源極線電壓  $V_{SL}$  大；

以及

施加一井電壓  $V_{NW}$  予該 PMOS 單電晶體記憶體單元之 N 型半導體井，其中該井電壓  $V_{NW}$  等於該位元線電壓  $V_{BL}$ 。

9. 如申請專利範圍第 8 項所述之讀取 PMOS 單電晶體記憶體單元之方法，其中該字元線電壓  $V_{WL}$  為 0 伏特，該源極線電壓  $V_{SL}$  為 -0.5 ~ -2.5 伏特，該位元線電壓  $V_{BL}$  為 0 伏特，該井電壓  $V_{NW}$  為 0 伏特。

10. 如申請專利範圍第 8 項所述之讀取 PMOS 單電晶體記憶體單元之方法，其中該字元線電壓  $V_{WL}$  為 2.5 伏特，該源極線電壓  $V_{SL}$  為 0 ~ 2 伏特，該位元線電壓  $V_{BL}$  為 2.5 伏特，該井電壓  $V_{NW}$  為 2.5 伏特。

11. 一種 PMOS 單電晶體記憶體單元之操作方法，該 PMOS 單電晶體記憶體單元包含有一二氧化矽-氮化矽-二氧化矽 (ONO) 堆疊層設於一 N 型井上，一 P 型多晶矽閘極設於該 ONO 堆疊層上，一 P 型源極摻雜區設於該 P 型多晶矽閘極一





#### 六、申請專利範圍

側之該 N 型井中，以及 P 型汲極摻雜區設於該 P 型多晶矽閘極另一側之該 N 型井中，且電子侷限 (trapped) 於較靠近該 P 型汲極摻雜區之該 ONO 堆疊層中，該方法包含有：

讀取該 PMOS 單電晶體記憶體單元，包含有下列步驟：

施加一字元線讀取電壓  $V_{WL}$  予 PMOS 單電晶體記憶體單元之 P 型多晶矽閘極；

施加一源極線讀取電壓  $V_{SL}$  予 PMOS 單電晶體記憶體單元之 P 型源極摻雜區，其中該源極線電壓  $V_{SL}$  較該字元線電壓  $V_{WL}$  小；

施加一位元線讀取電壓  $V_{BL}$  予 PMOS 單電晶體記憶體單元之 P 型汲極摻雜區，其中該位元線電壓  $V_{BL}$  較該源極線電壓  $V_{SL}$  大；以及

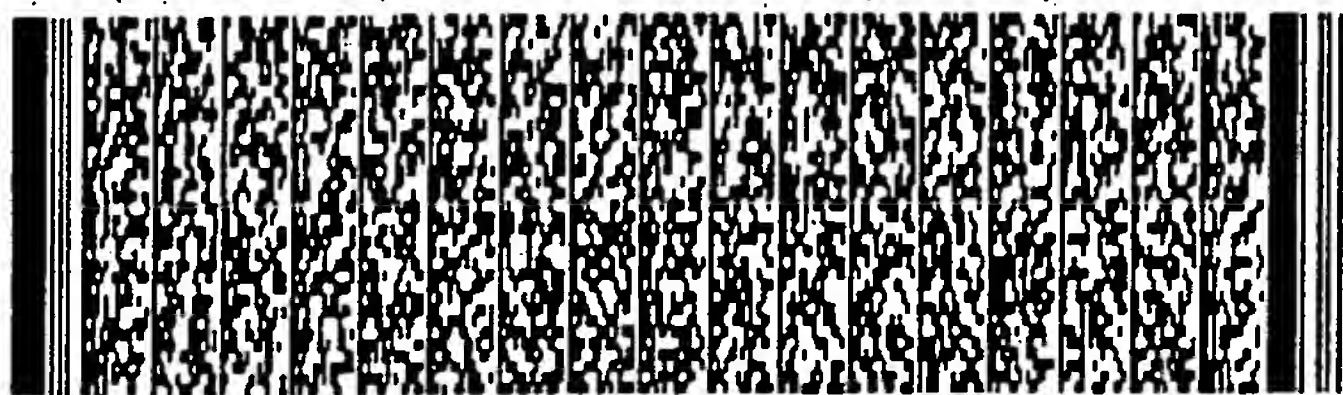
施加一井讀取電壓  $V_{NW}$  予該 PMOS 單電晶體記憶體單元之 N 型半導體井，其中該井電壓  $V_{NW}$  等於該位元線電壓  $V_{BL}$ ；

抹除該 PMOS 單電晶體記憶體單元，包含有下列步驟：

施加一負抹除閘極電壓  $V_{WL}$  予 PMOS 單電晶體記憶體單元之 P 型多晶矽閘極；以及

施加一正抹除井電壓  $V_{NW}$  予該 PMOS 單電晶體記憶體單元之 N 型半導體井，藉由福樂諾漢穿隧 (Fowler-Nordheim tunneling, FN tunneling) 機制將侷限於 ONO 介電層中的電子抹除。

12. 如申請專利範圍第 11 項所述 PMOS 單電晶體記憶體單元之操作方法，其中該字元線讀取電壓  $V_{WL}$  為 0 伏特，該源極



六、申請專利範圍

線讀取電壓  $V_{SL}$  為  $-0.5 \sim -2.5$  伏特，該位元線讀取電壓  $V_{BL}$  為 0 伏特，該井讀取電壓  $V_{NW}$  為 0 伏特。

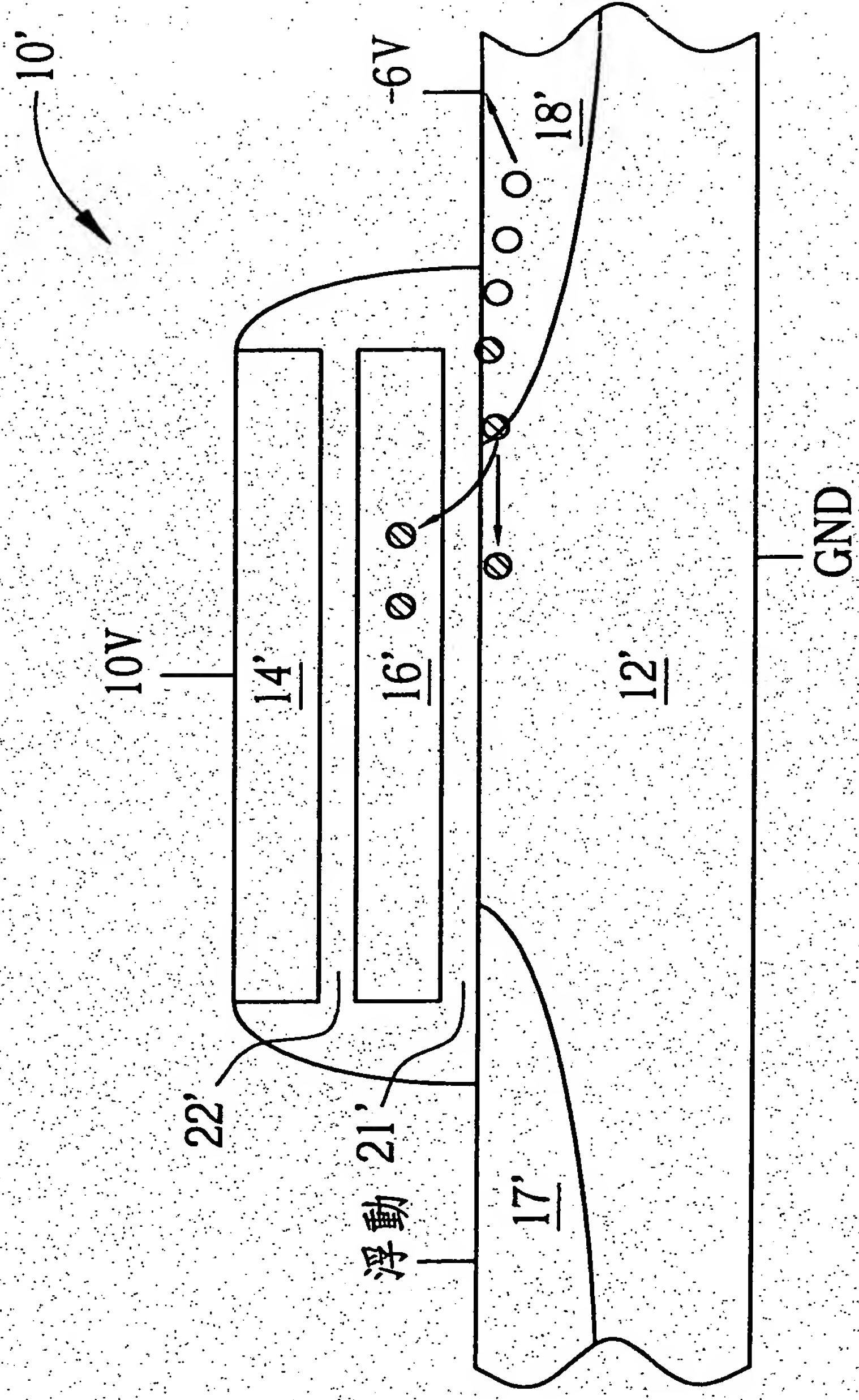
13. 如申請專利範圍第 11 項所述 PMOS 單電晶體記憶體單元之操作方法，其中該字元線讀取電壓  $V_{WL}$  為 2.5 伏特，該源極線讀取電壓  $V_{SL}$  為  $0 \sim 2$  伏特，該位元線讀取電壓  $V_{BL}$  為 2.5 伏特，該井讀取電壓  $V_{NW}$  為 2.5 伏特。

14. 如申請專利範圍第 11 項所述 PMOS 單電晶體記憶體單元之操作方法，其中該負抹除閘極電壓  $V_{WL}$  約為 -6 伏特。

15. 如申請專利範圍第 11 項所述 PMOS 單電晶體記憶體單元之操作方法，其中該正抹除井電壓  $V_{NW}$  約為 +6 伏特。



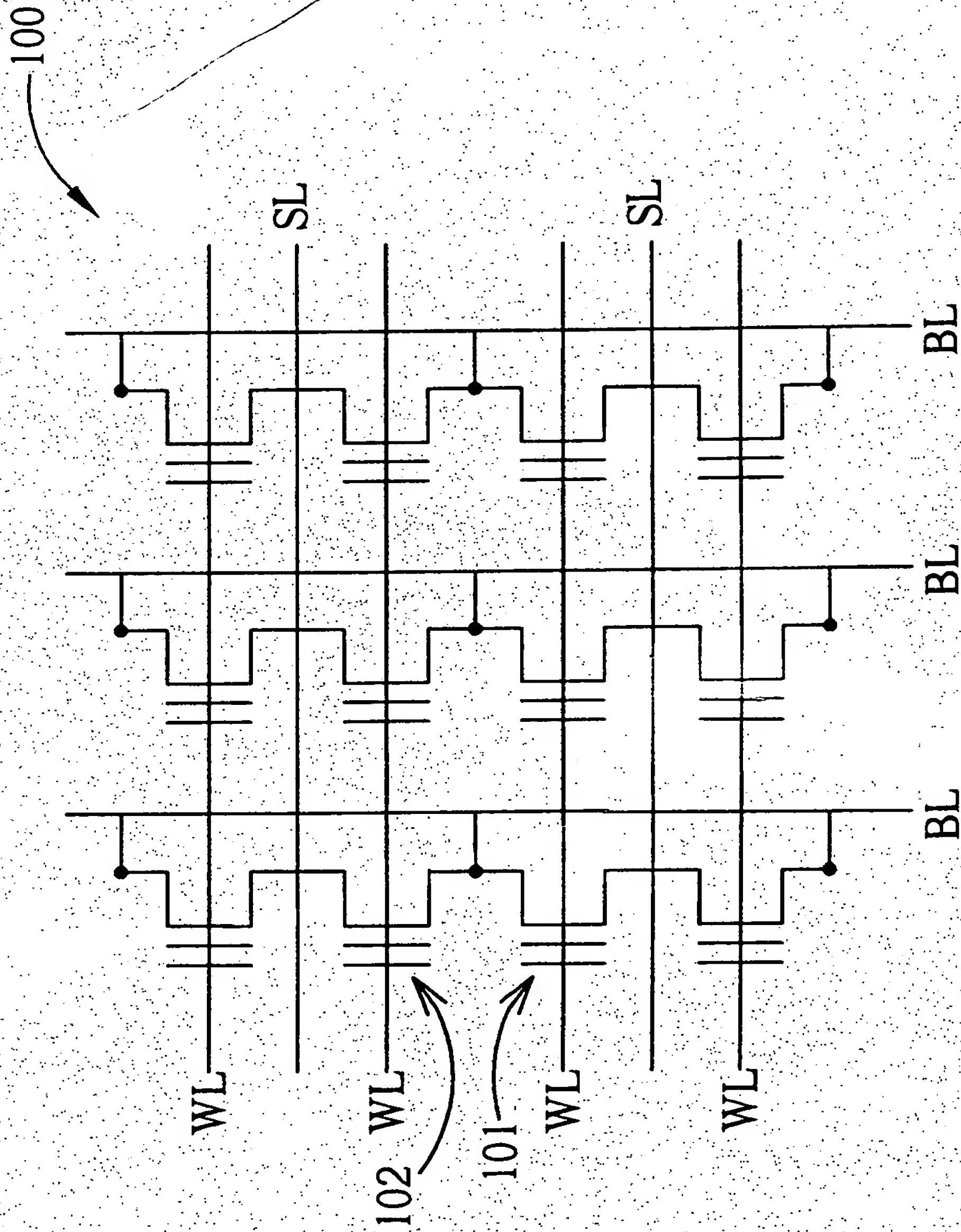




圖一

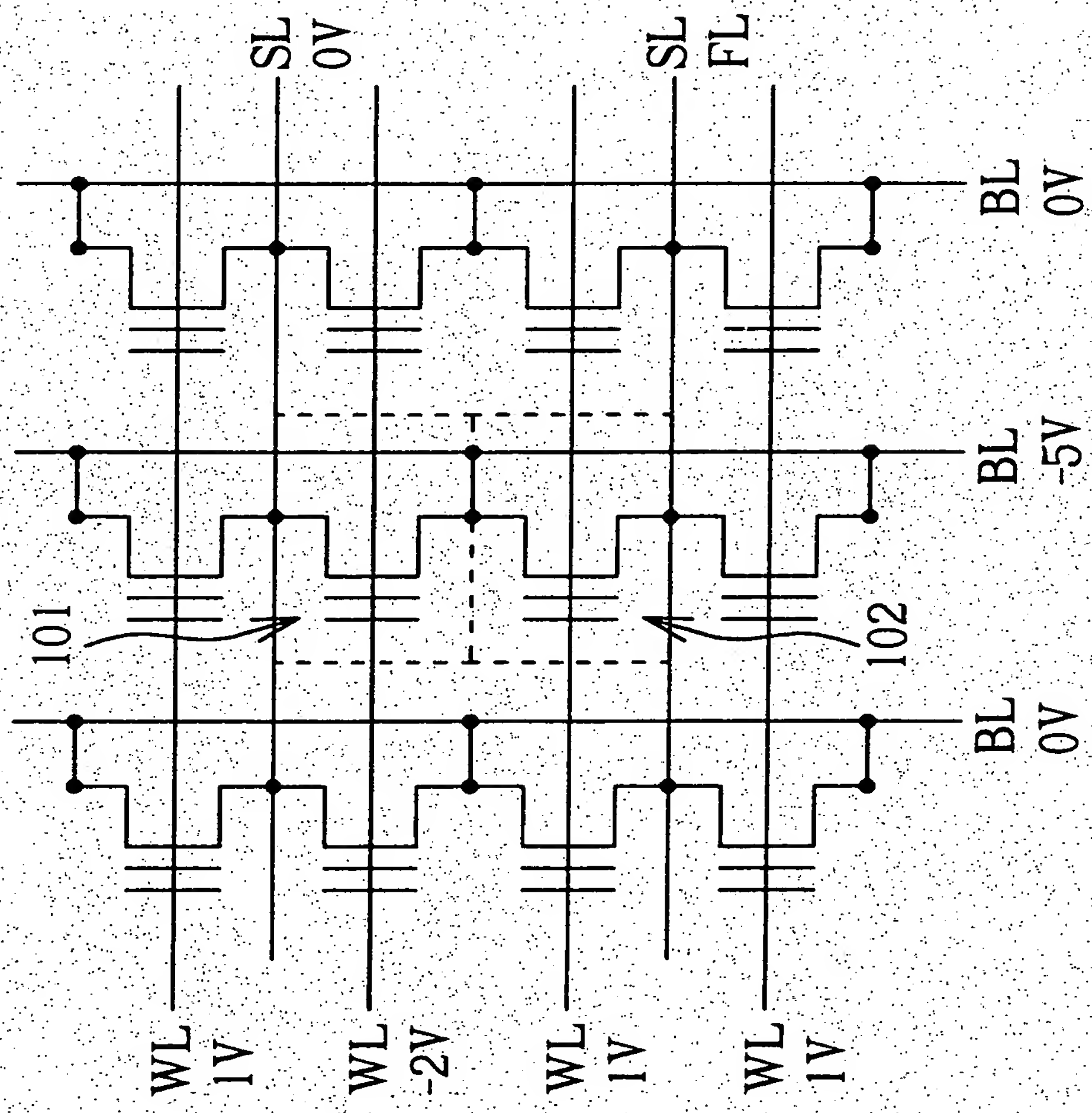






圖三

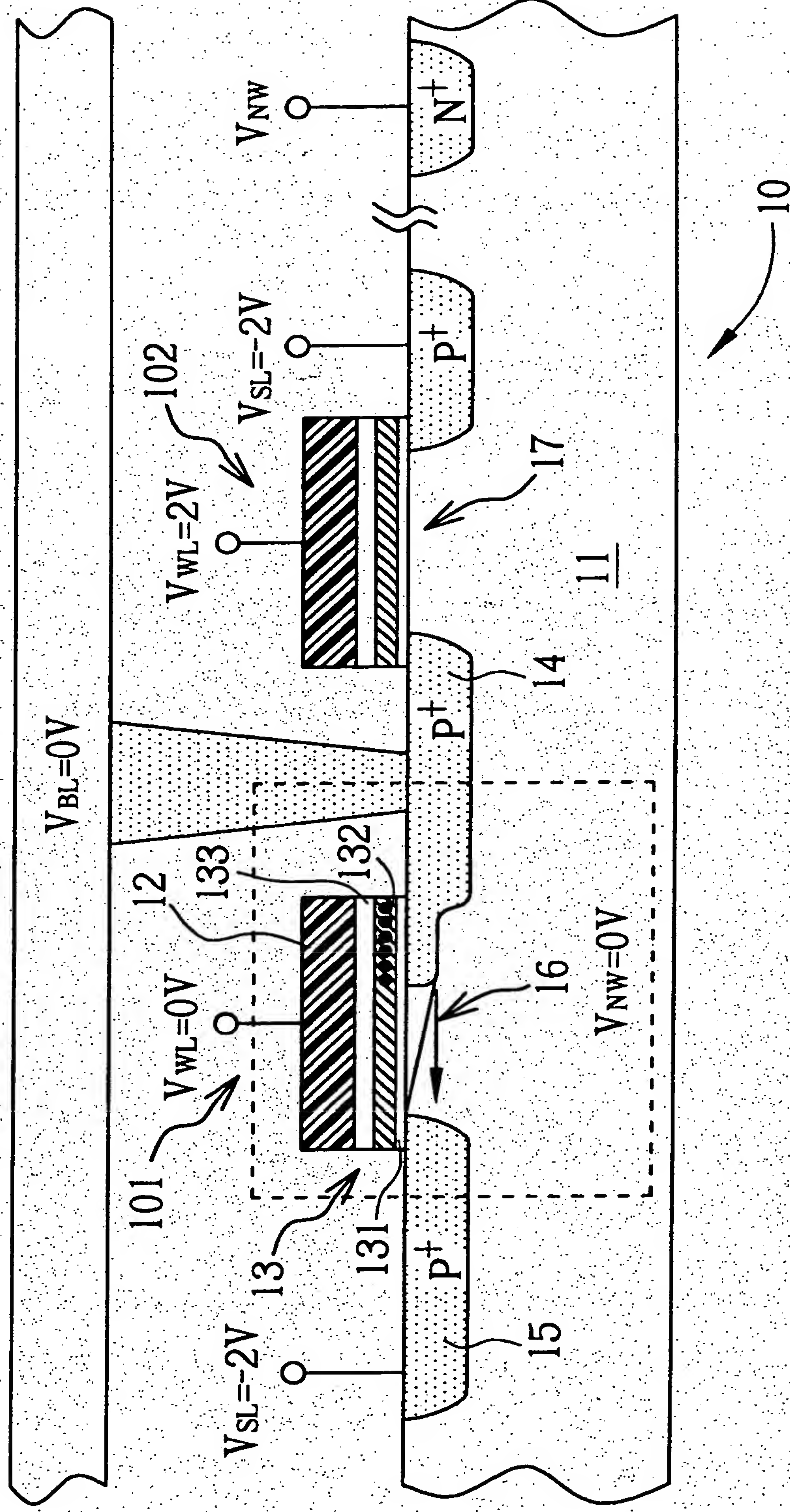




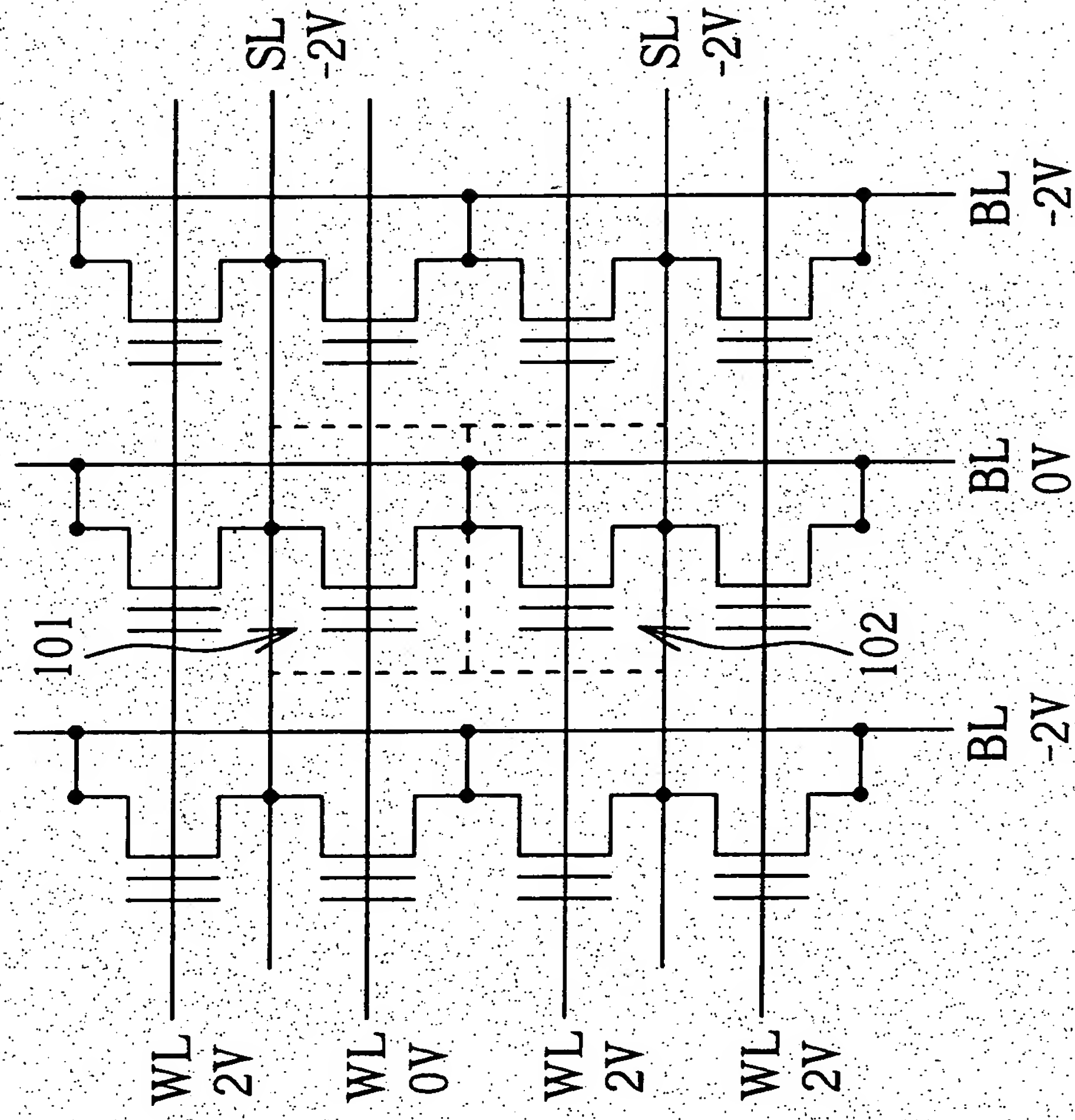
圖五



讀取操作



圖六



圖七

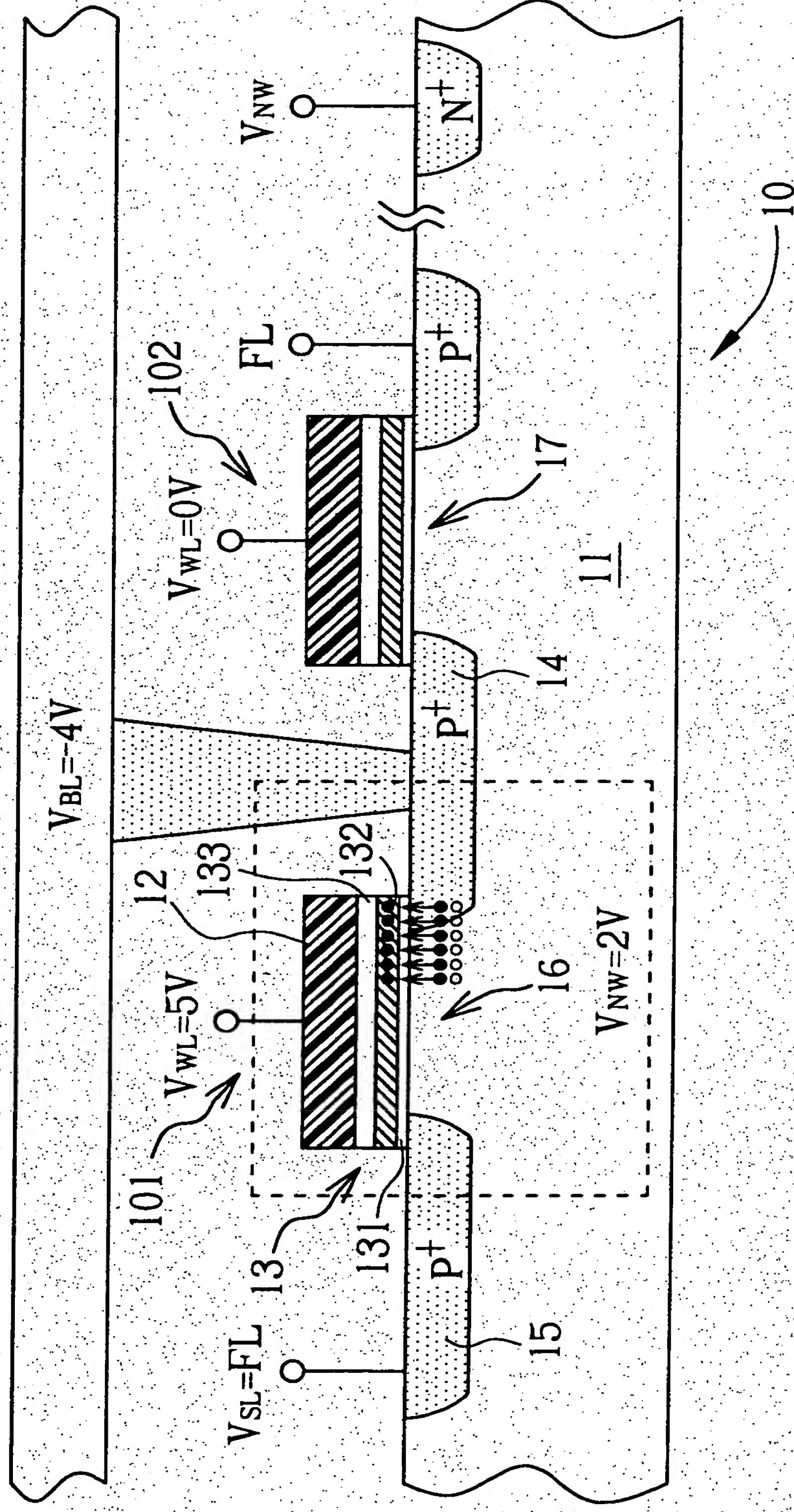
操作電壓表

	Selected BL			Un-Selected BL			
	$V_{WL}$	$V_{BL}$	$V_{SL}$	$V_{WL}$	$V_{BL}$	$V_{SL}$	
程式化	-2V	-5V	0V	1V	0V	FL or 0V	0V
抹除	-6V	0V	0V	0V	0V	0V	6V
讀取	0V	0V	-2V	2V	-2V	-2V	0V

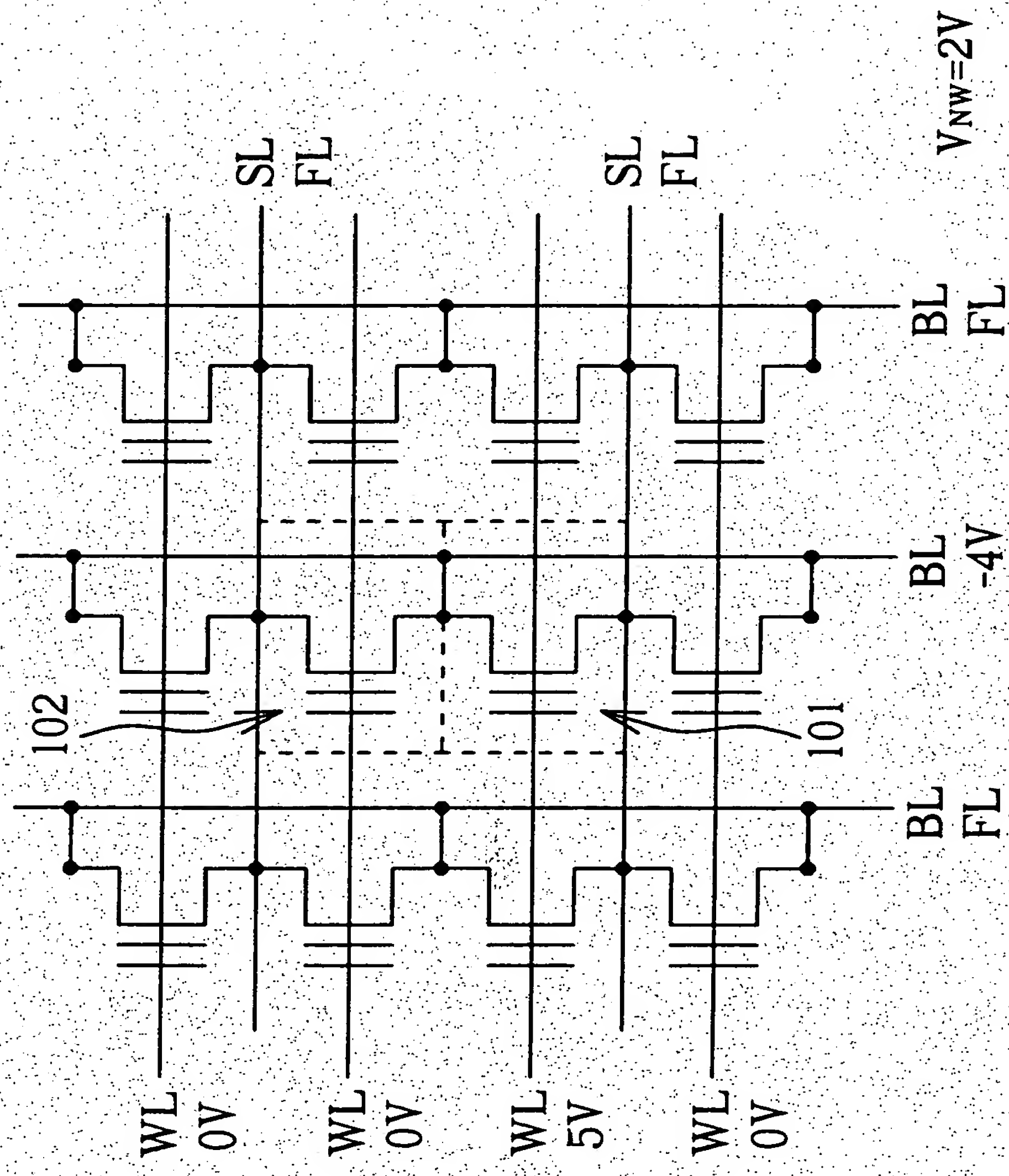
圖八



# 程式化操作(BTBT)

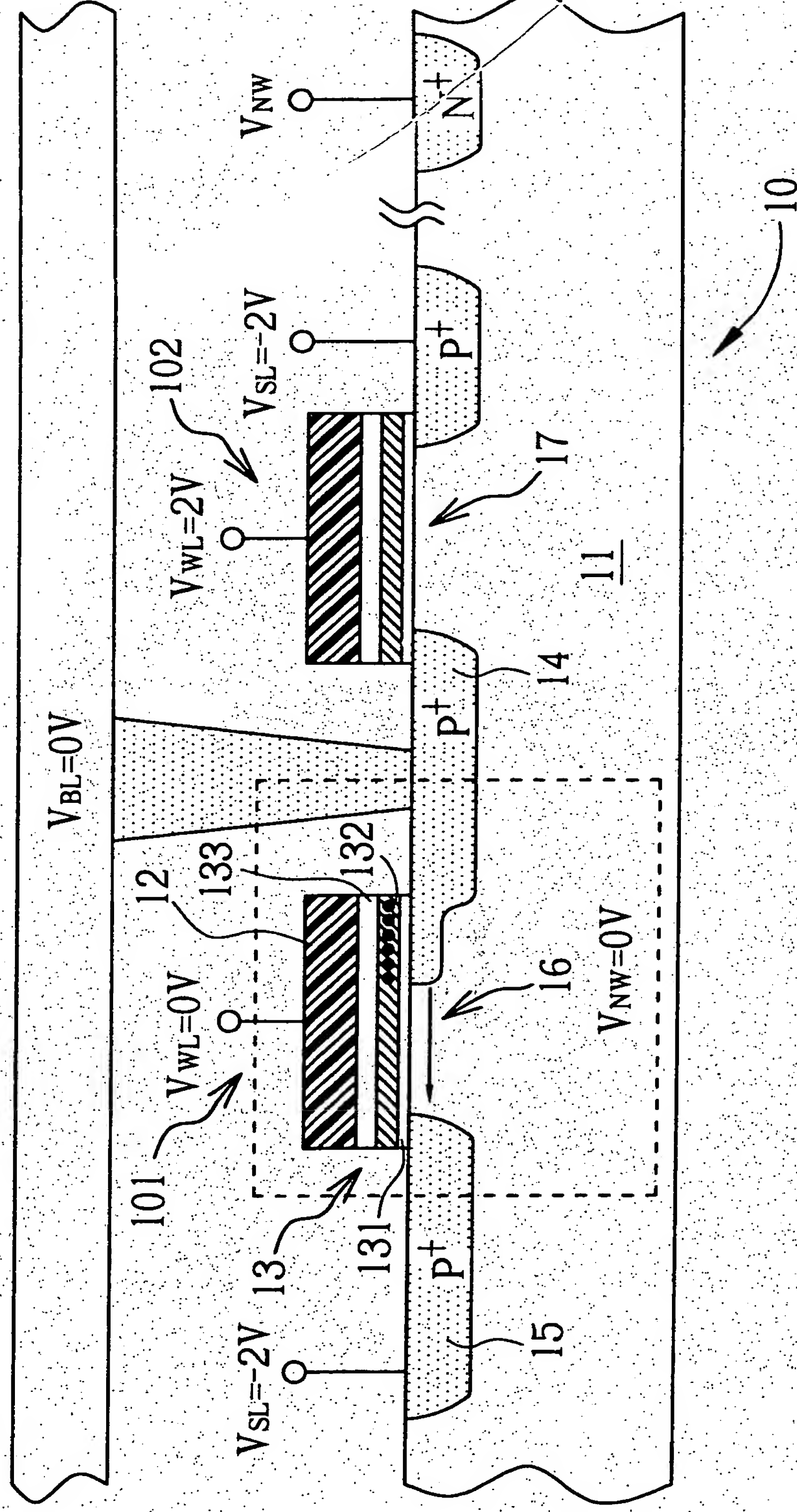


九圖



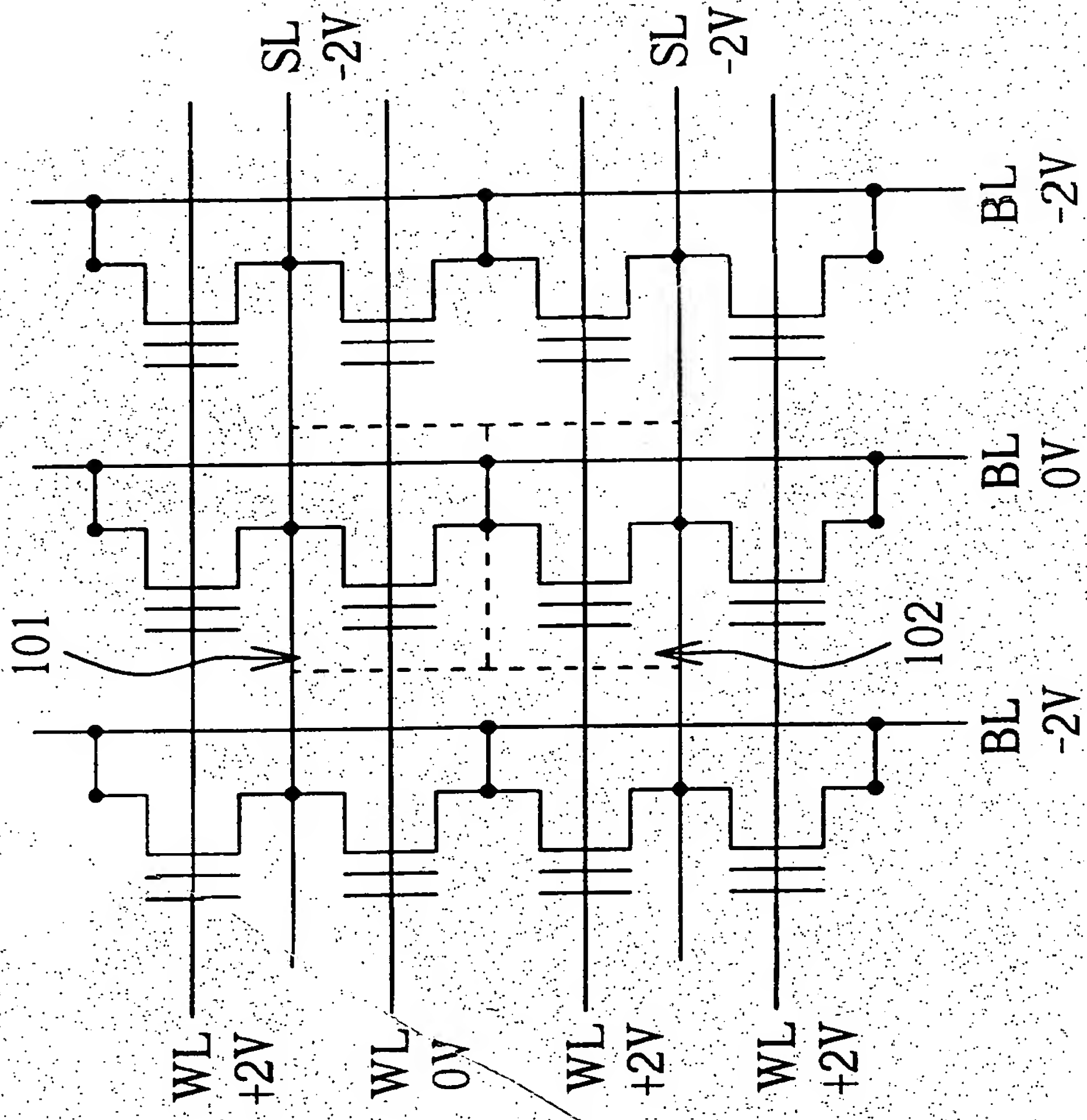
十四

讀取操作



圖十一



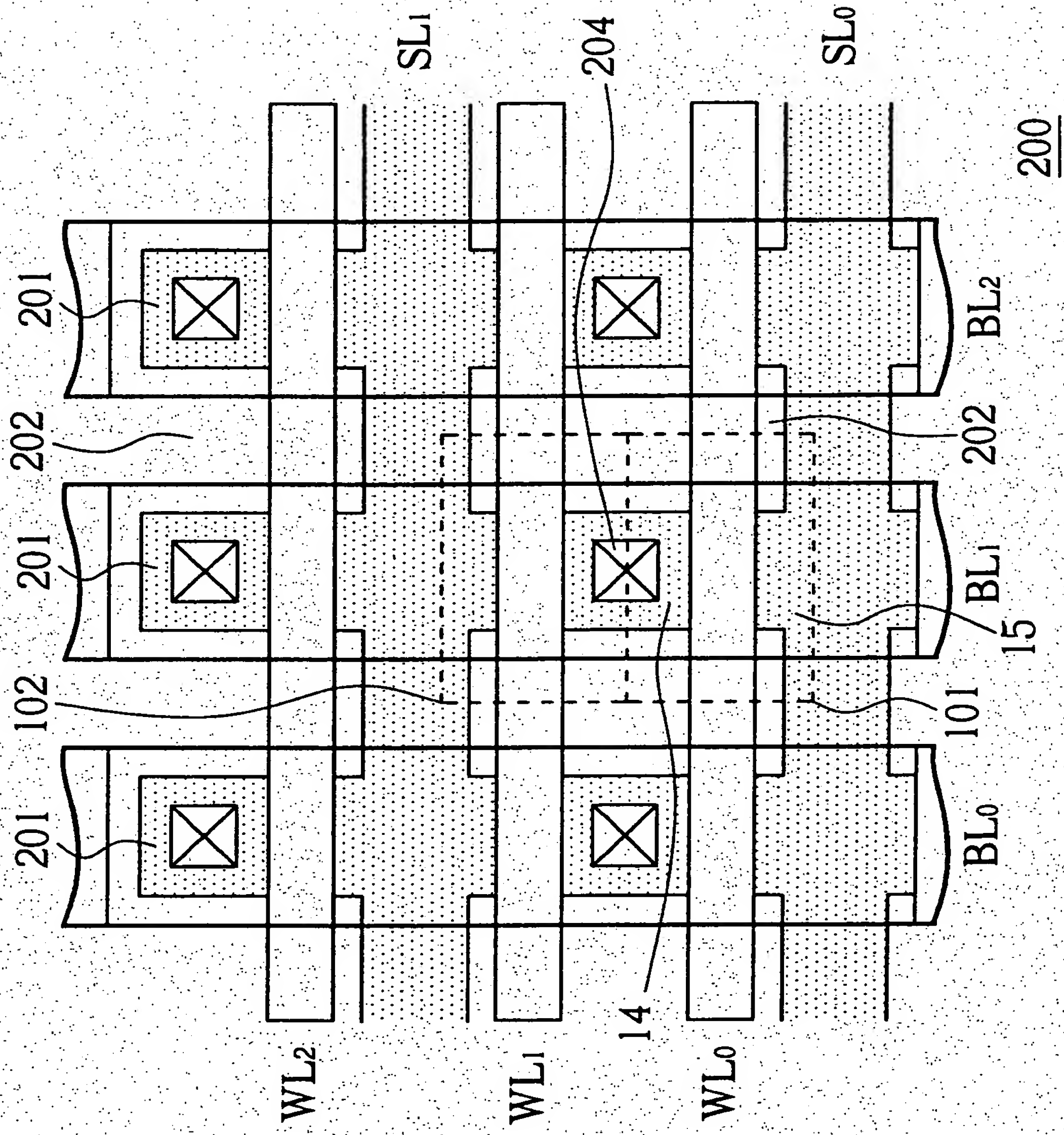


圖十二

操作電壓表(BTBT)

	Selected BL			Un-Selected BL			
	V <sub>WL</sub>	V <sub>BL</sub>	V <sub>SL</sub>	V <sub>WL</sub>	V <sub>BL</sub>	V <sub>SL</sub>	
程式化	5V	-4V	FL	0V	FL	FL	2V
抹除	-6V	0V	0V	0V	0V	0V	6V
讀取	0V	0V	-2V	2V	-2V	-2V	0V

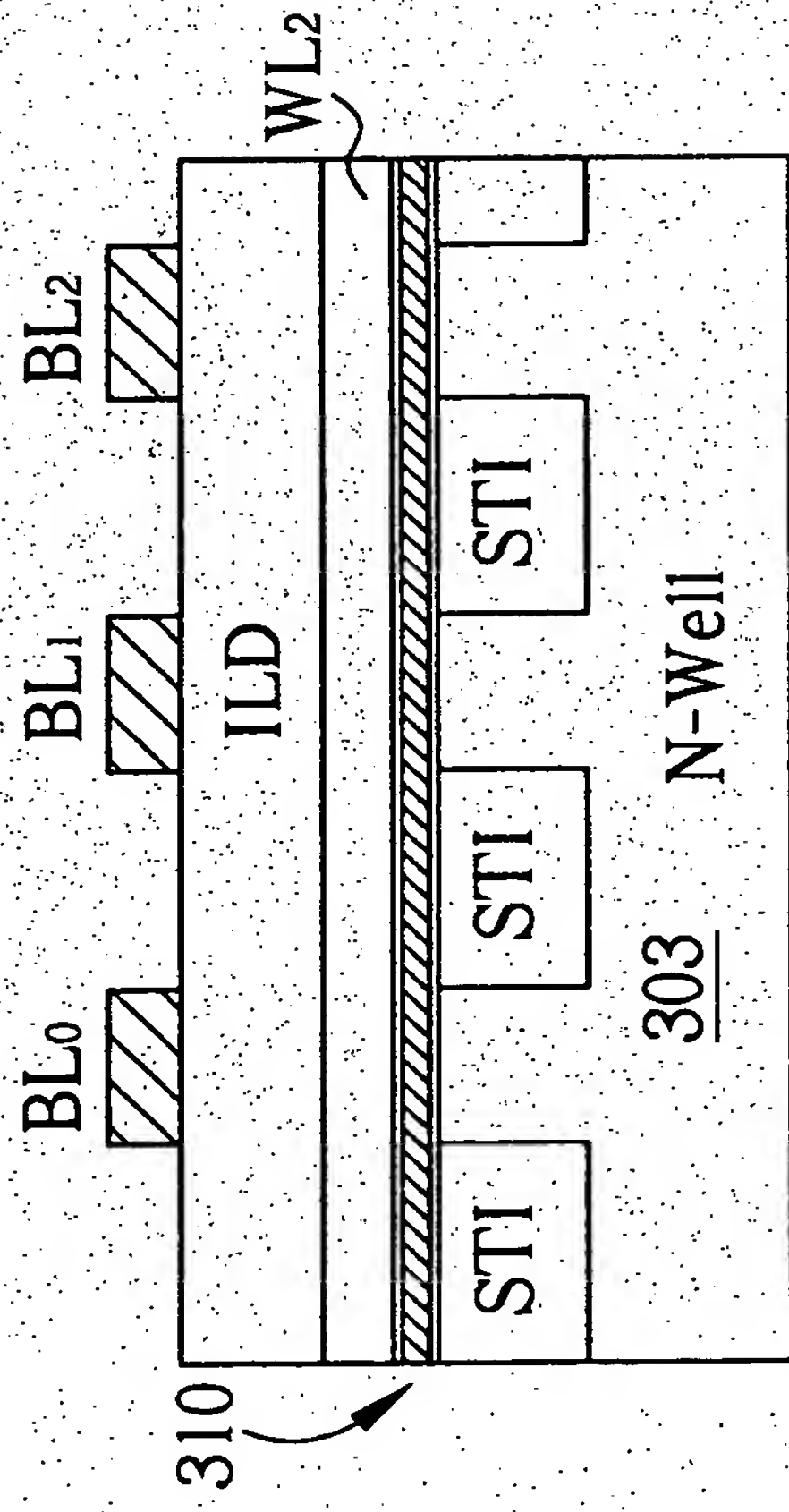
圖十三



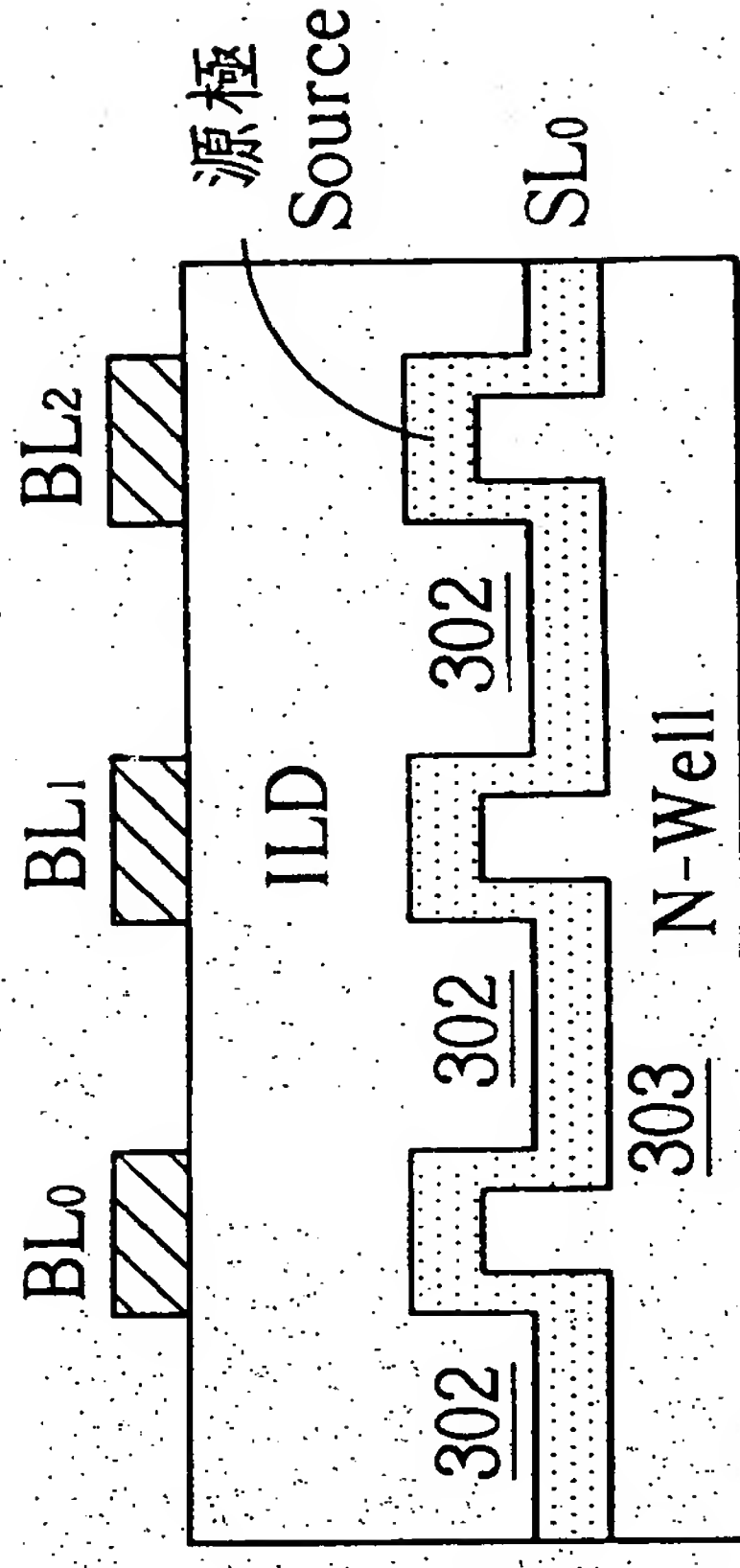
圖十四



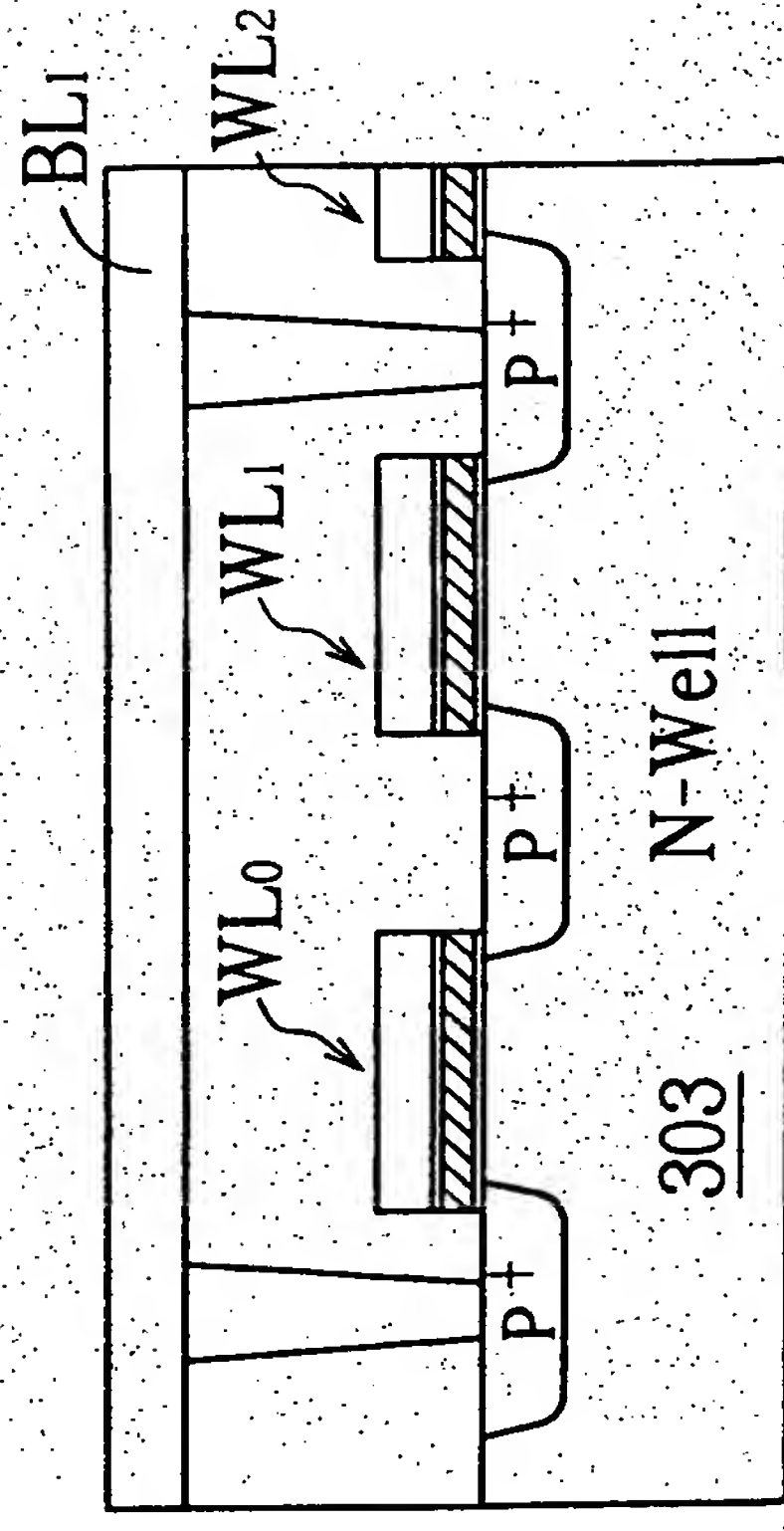




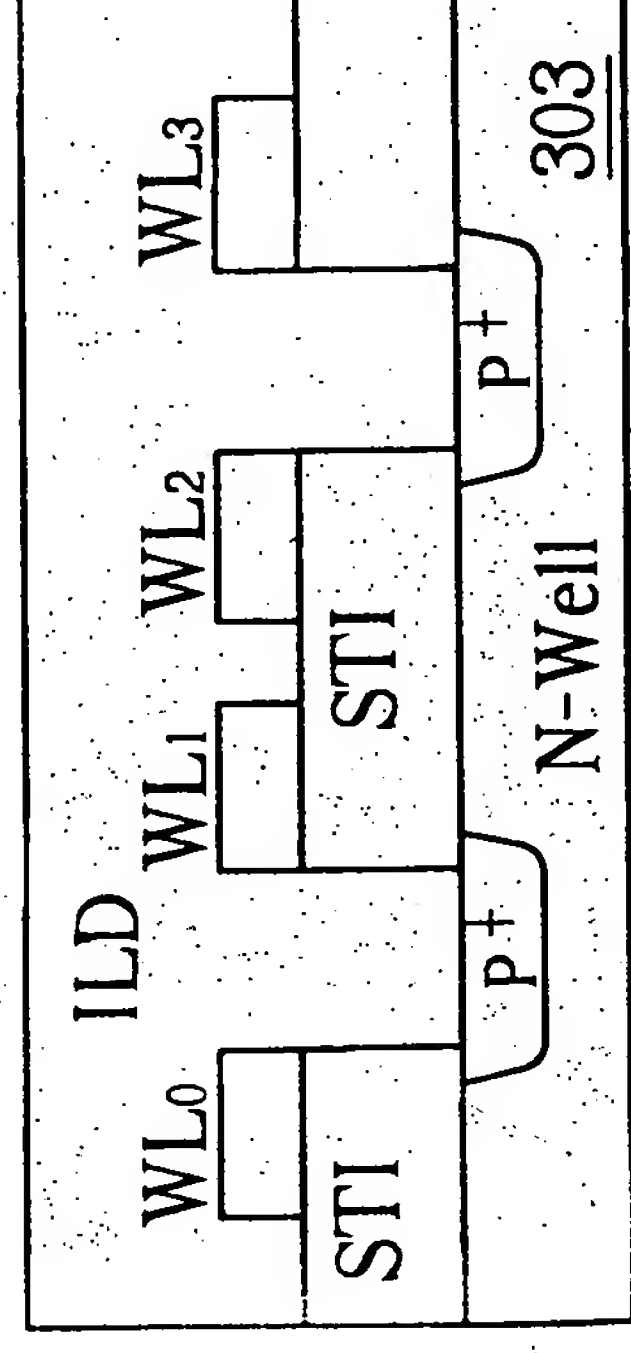
X1 direction



X2 direction

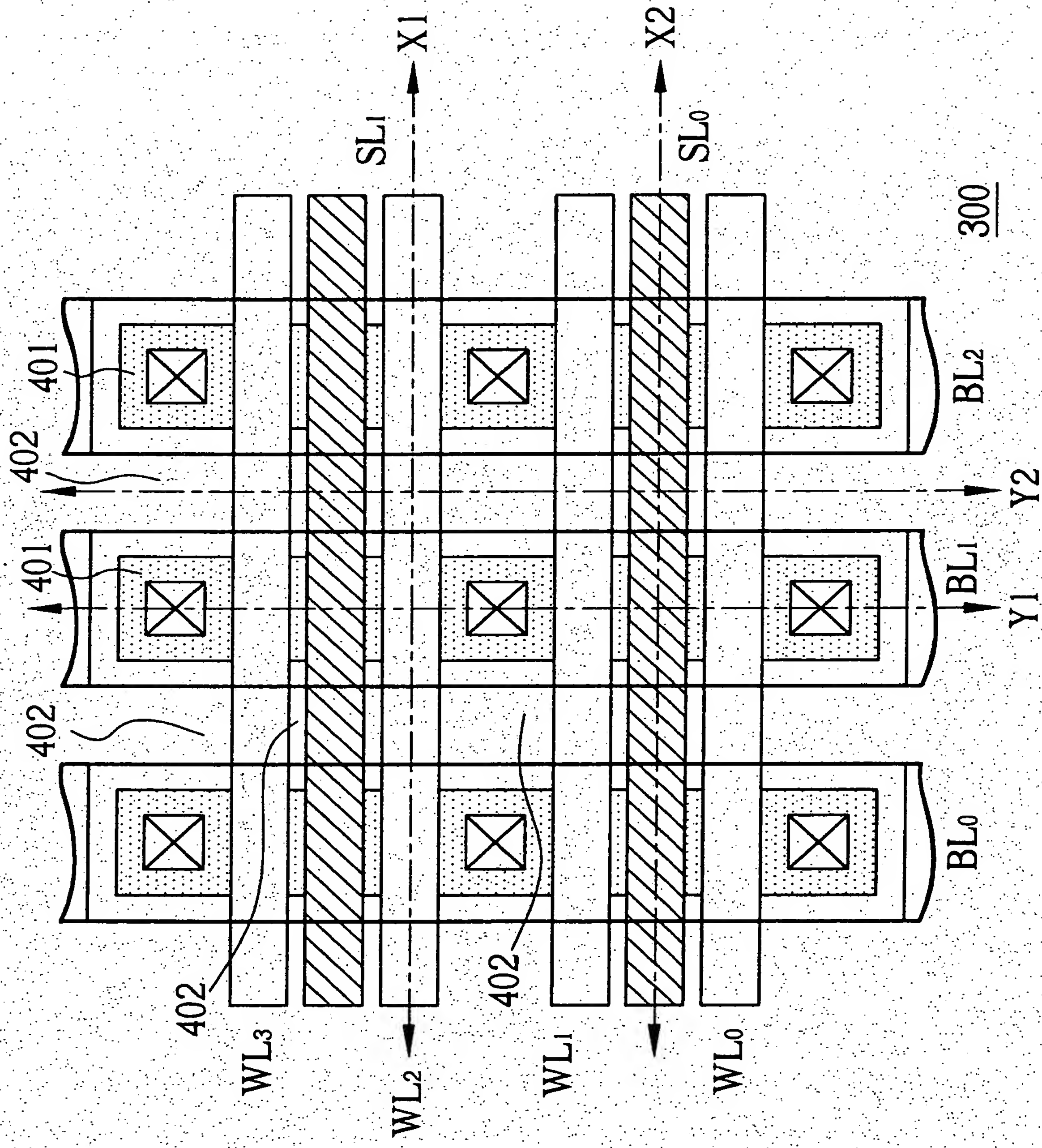


Y1 direction



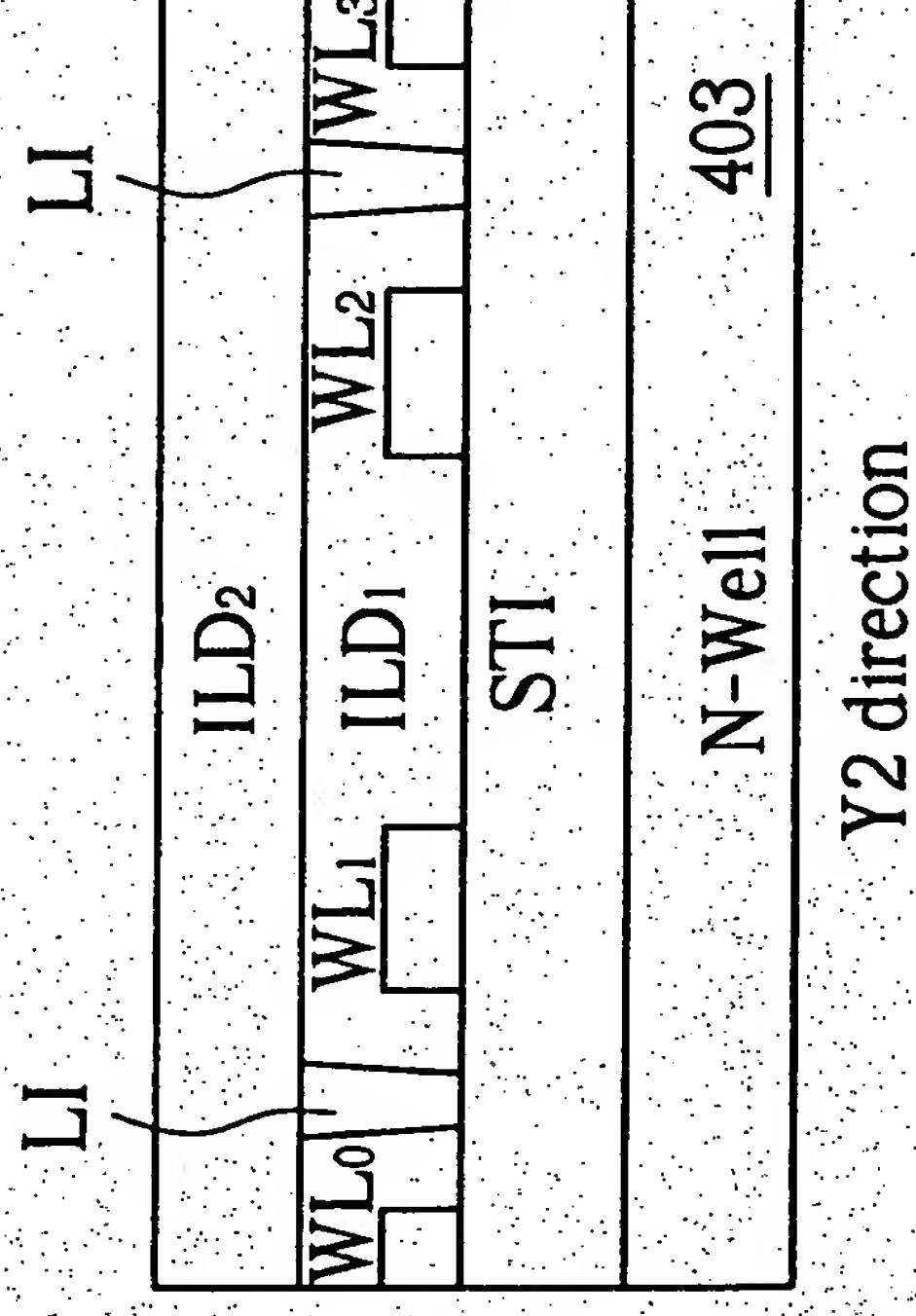
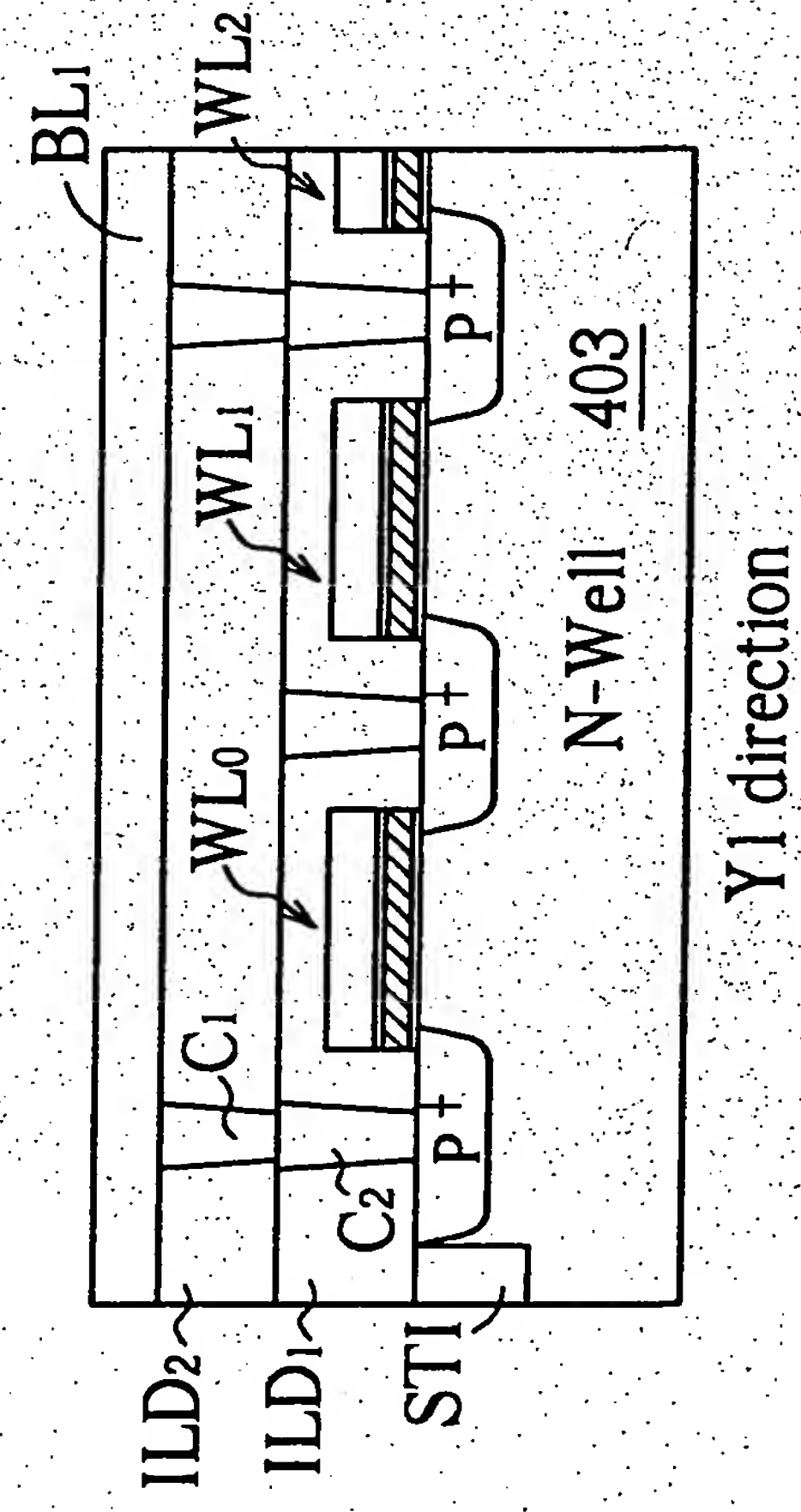
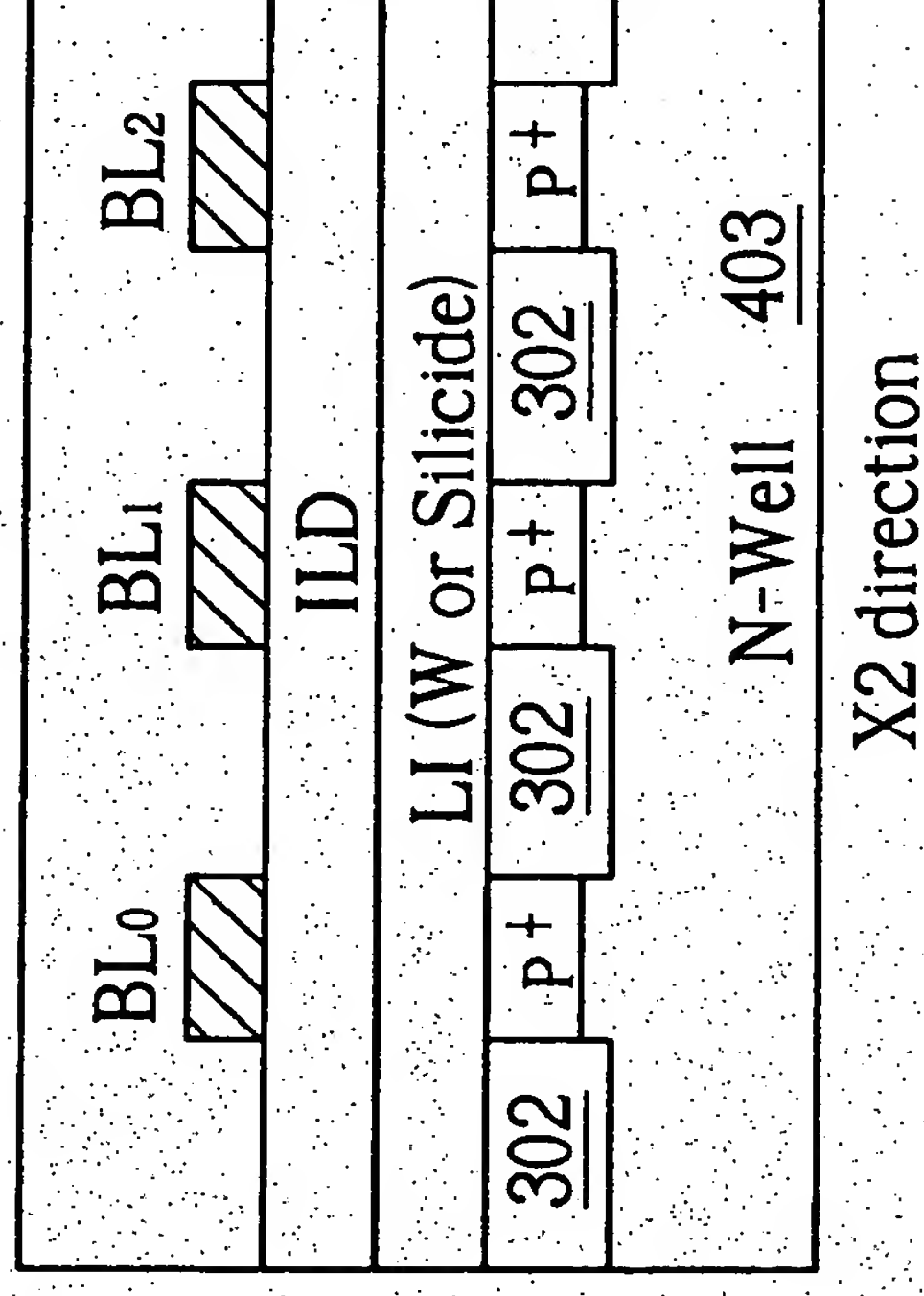
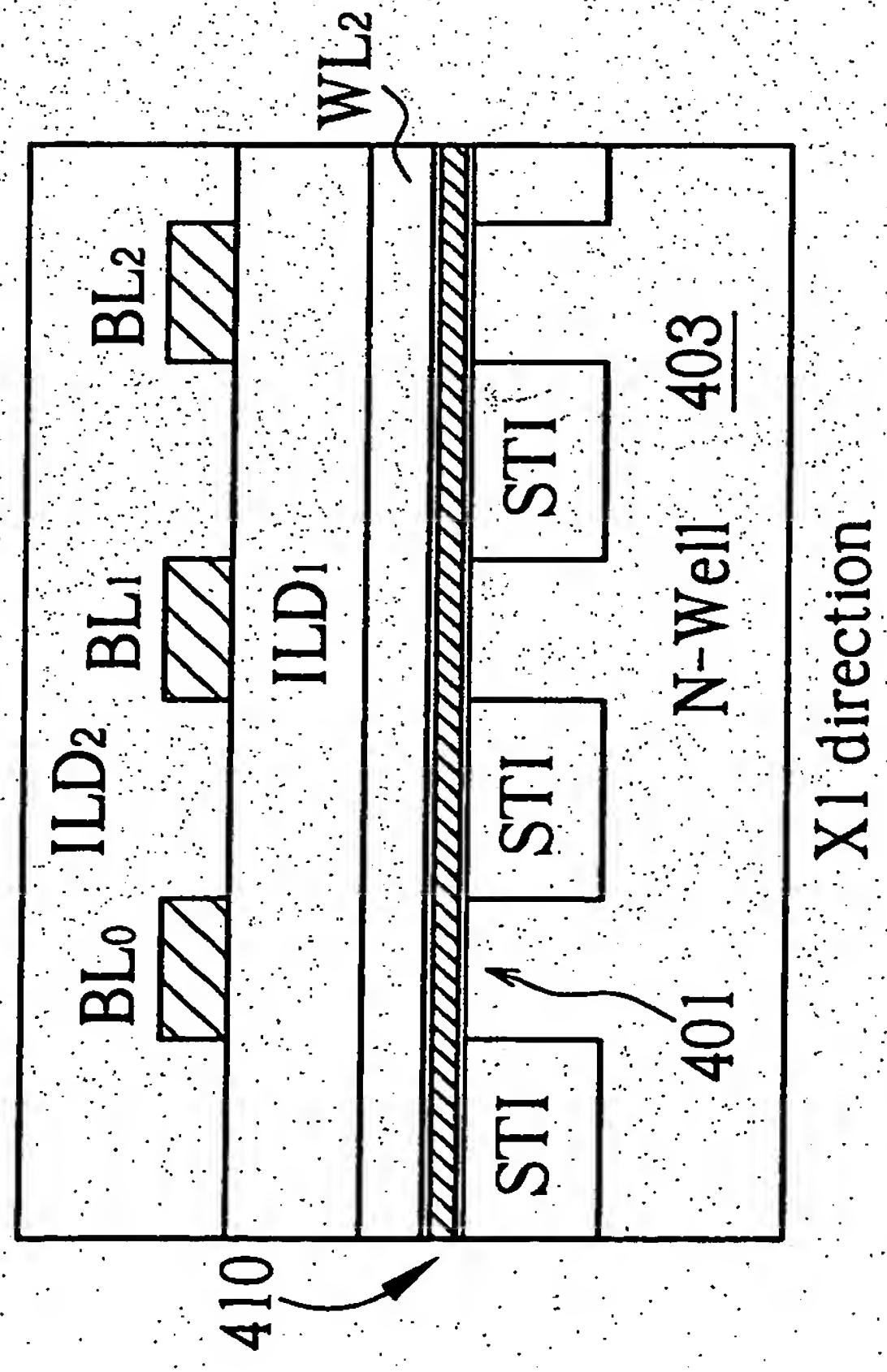
Y2 direction

圖十六

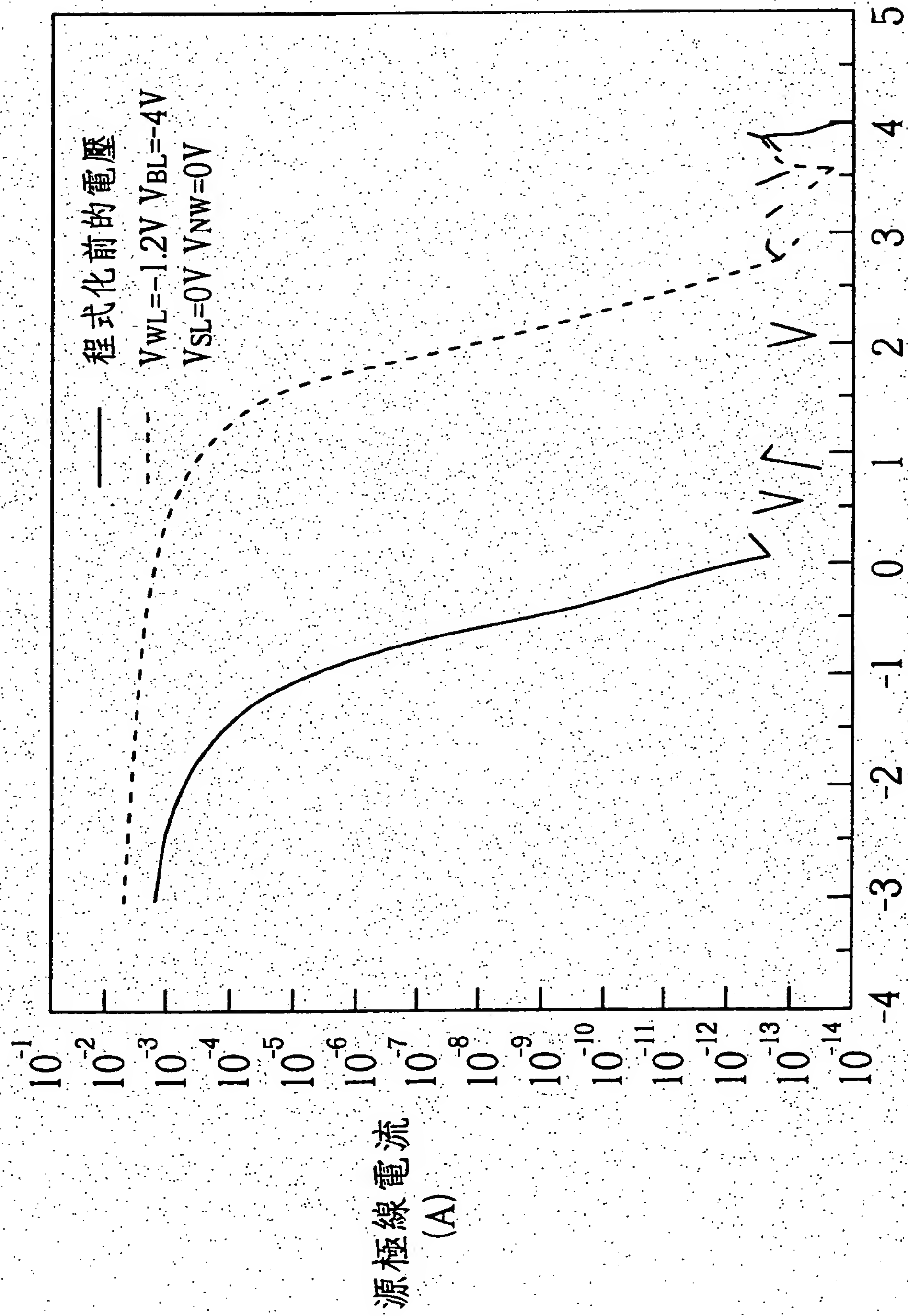


圖十七

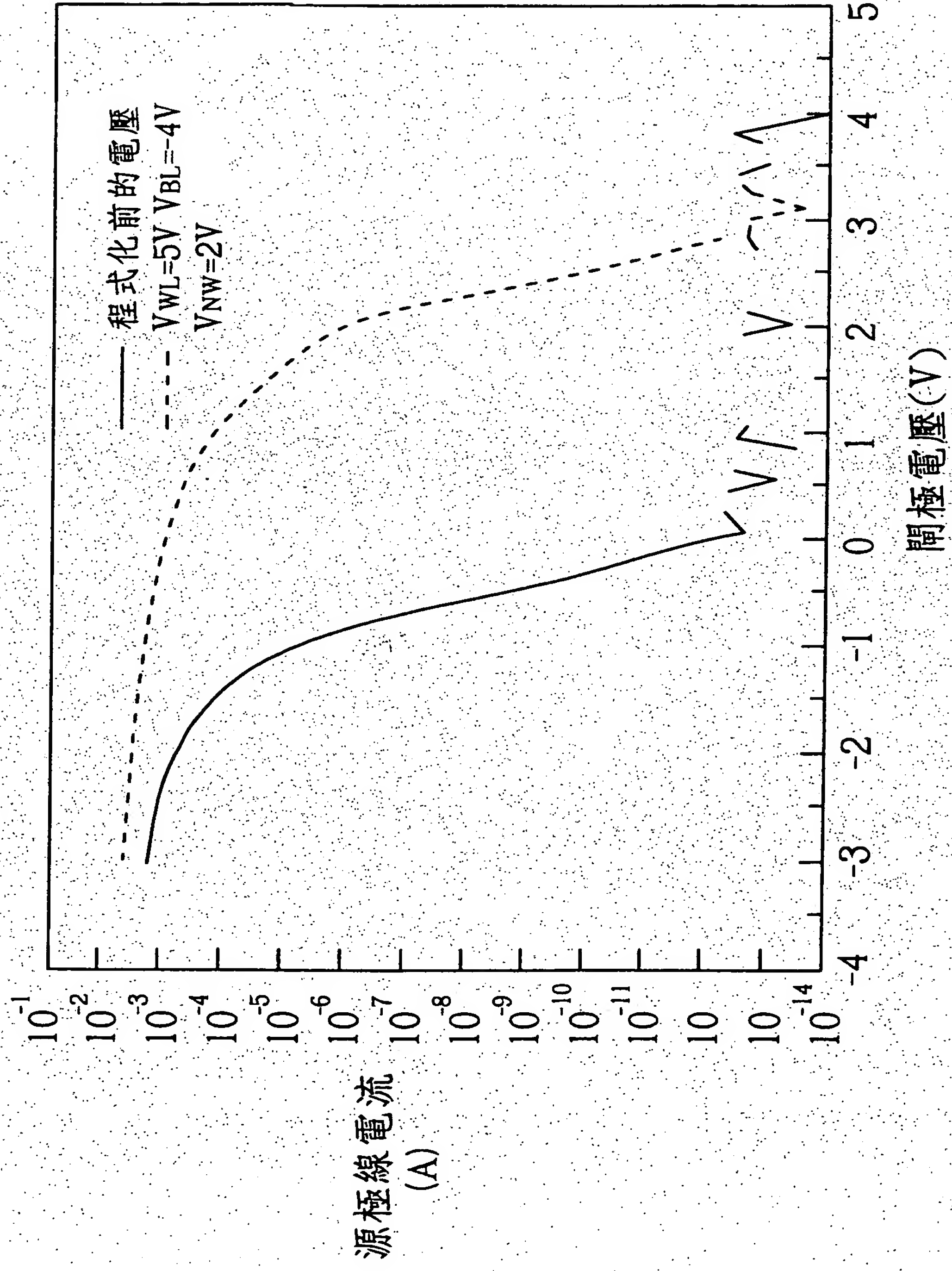




二十圖



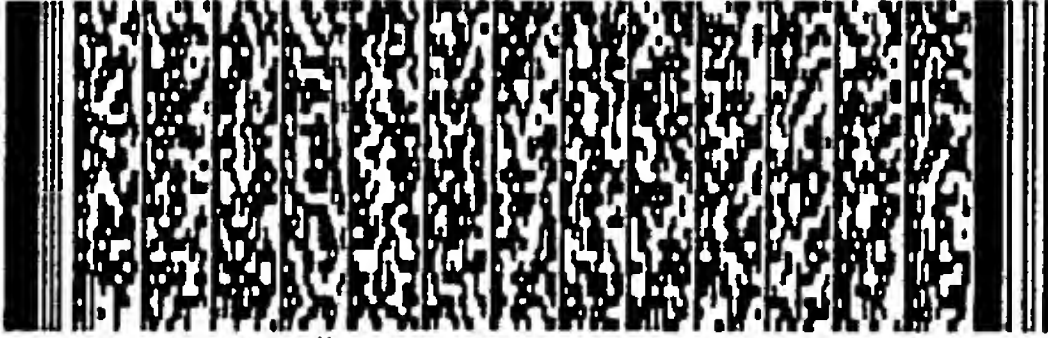
圖十九



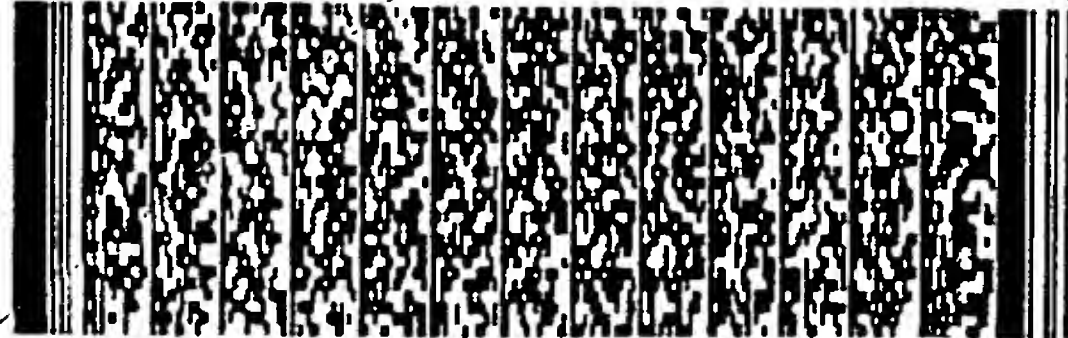
圖二十



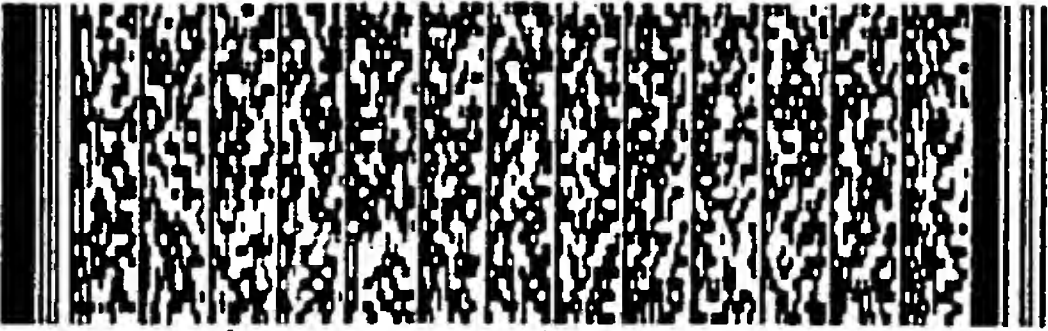
第 1/34 頁



第 1/34 頁



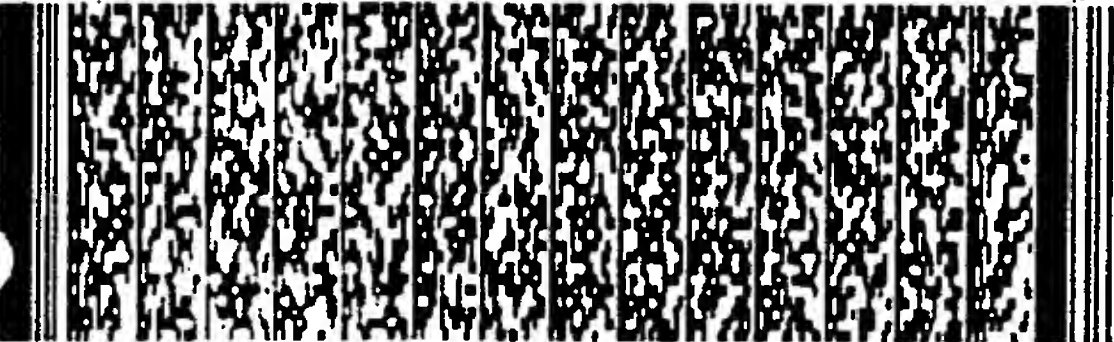
第 2/34 頁



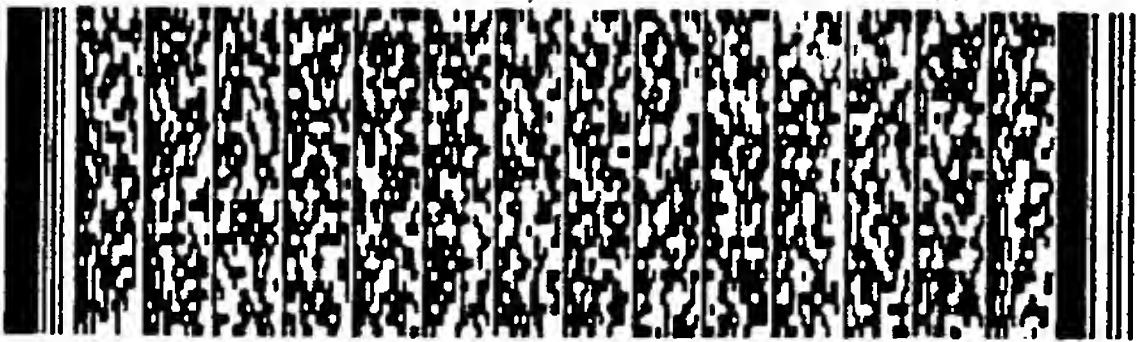
第 3/34 頁



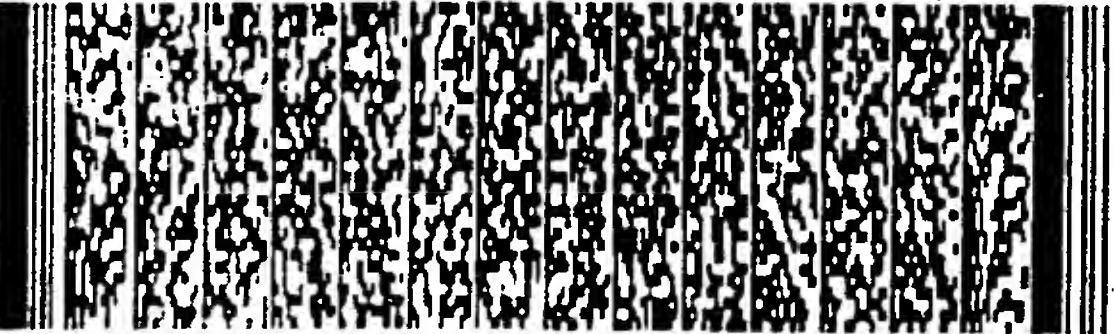
第 3/34 頁



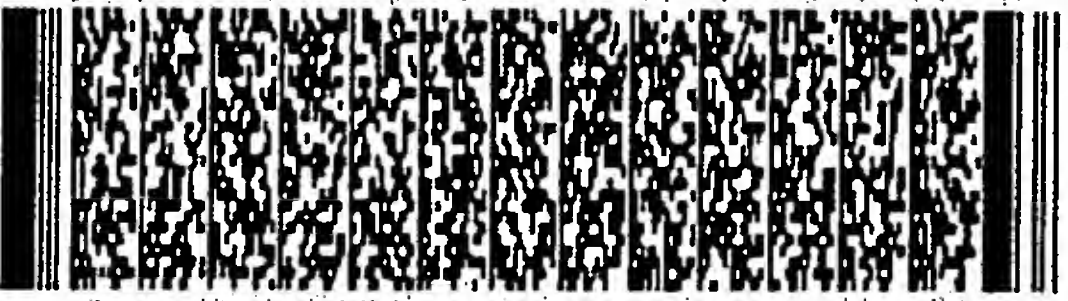
第 4/34 頁



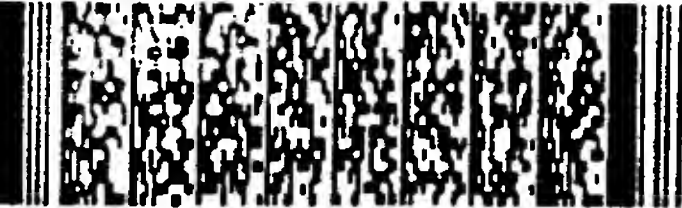
第 4/34 頁



第 5/34 頁



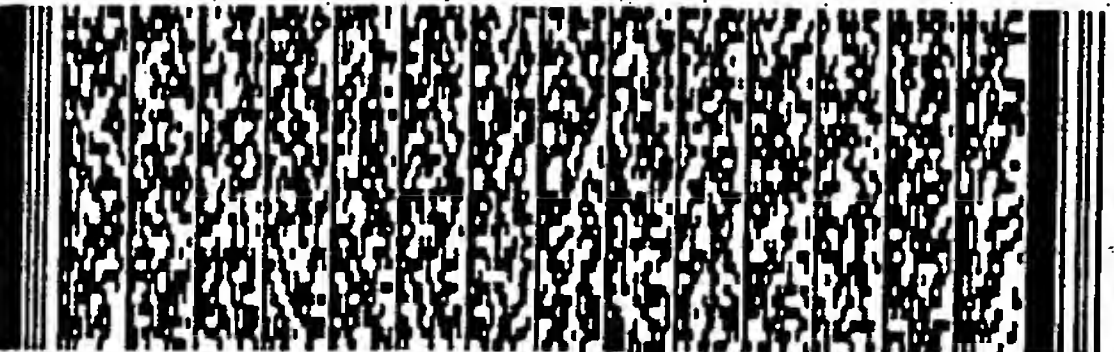
第 6/34 頁



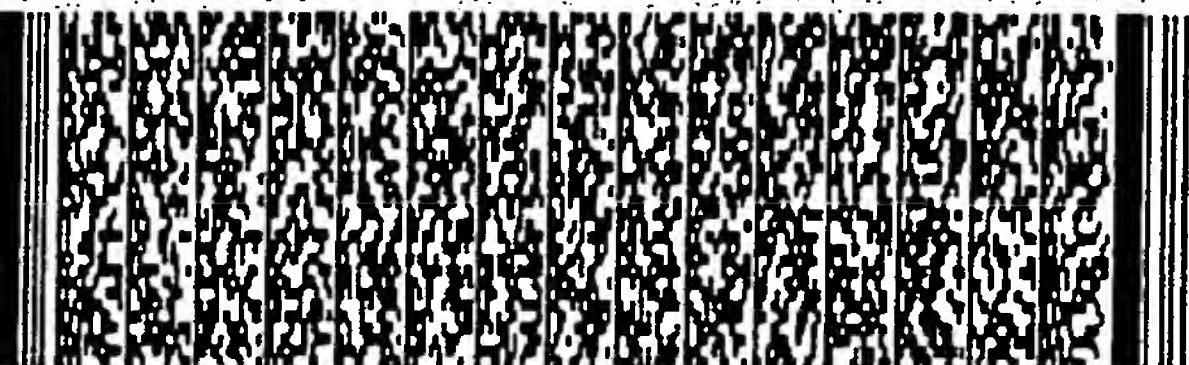
第 7/34 頁



第 7/34 頁



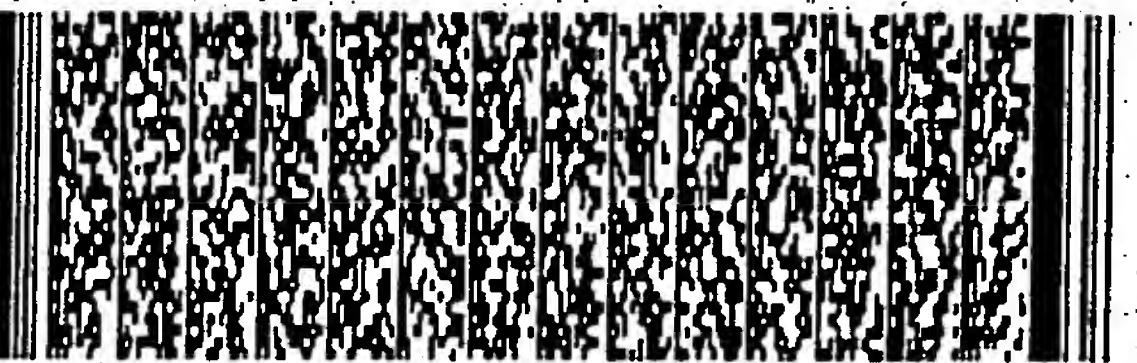
第 8/34 頁



第 8/34 頁



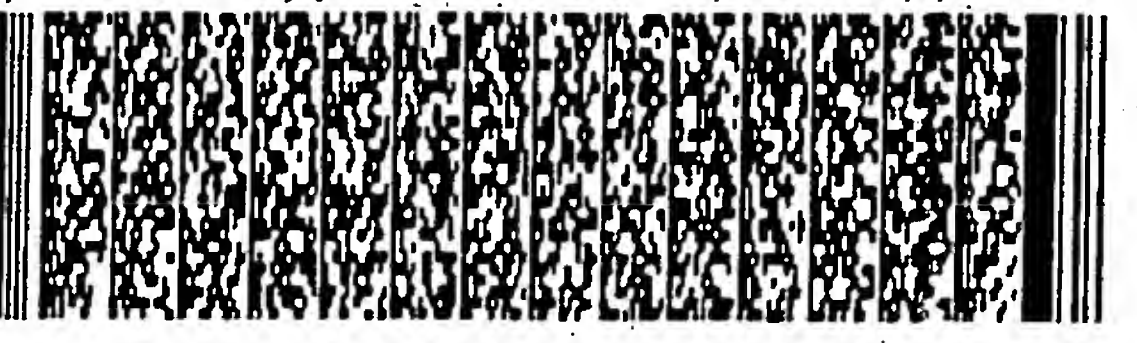
第 9/34 頁



第 9/34 頁

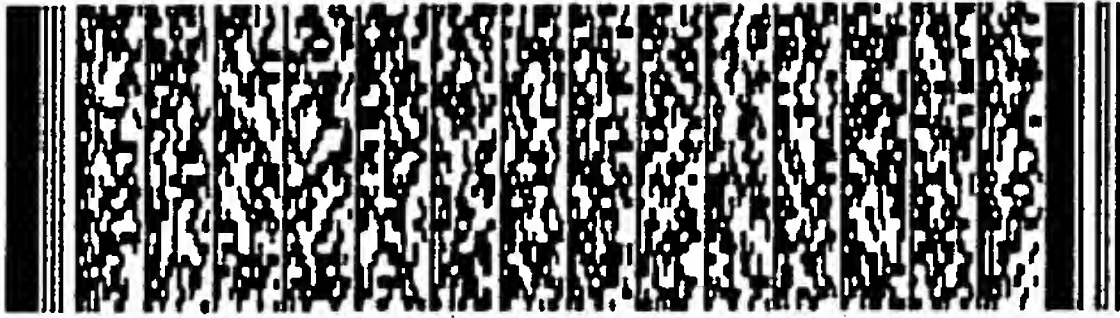


第 10/34 頁

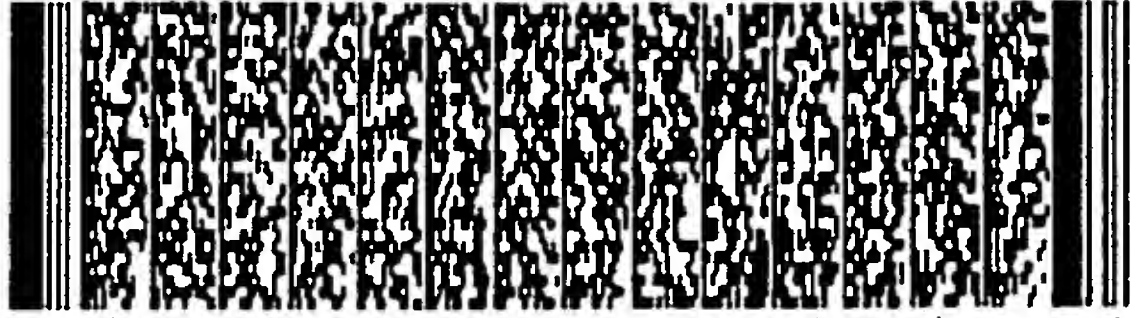




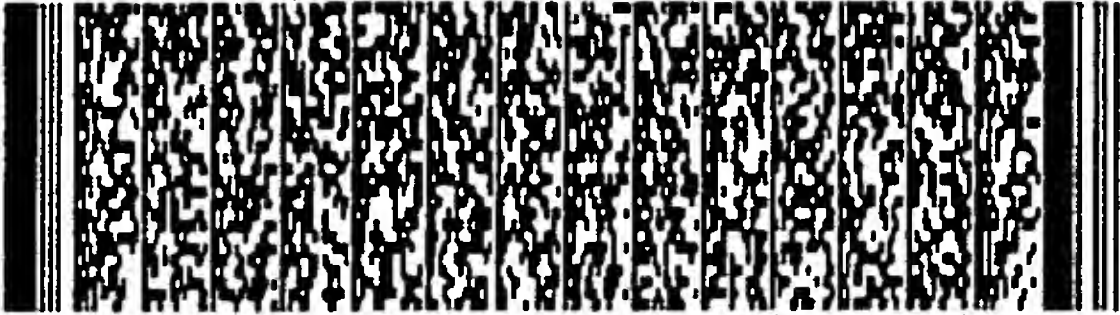
第 10/34 頁



第 11/34 頁



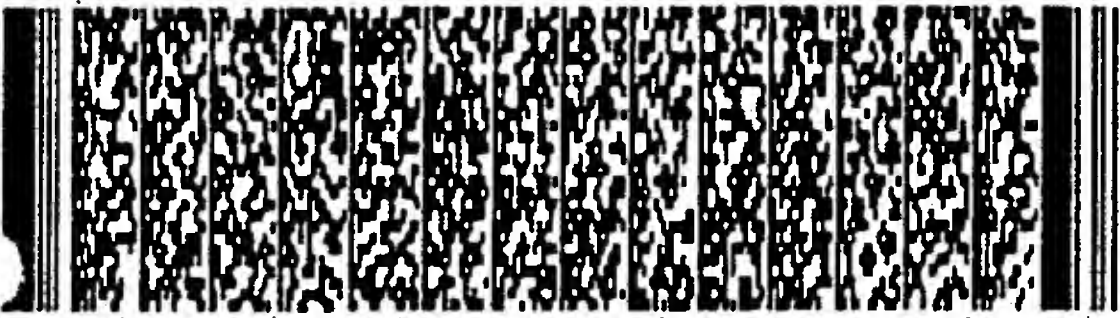
第 11/34 頁



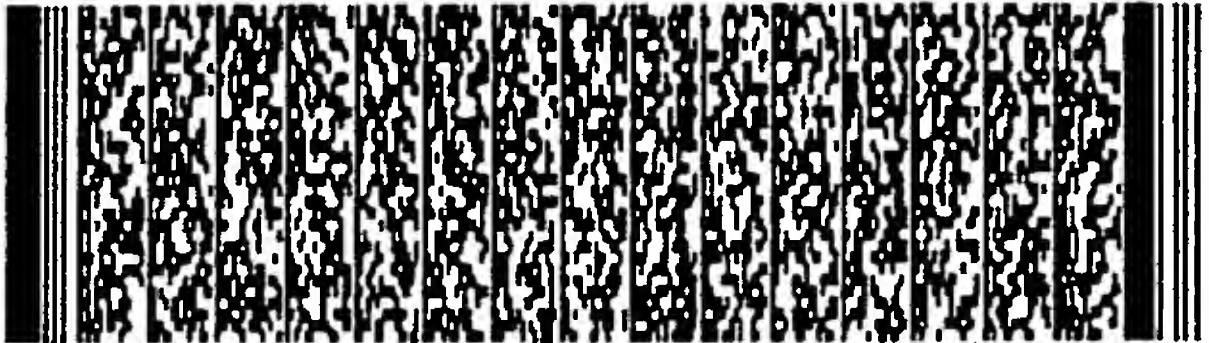
第 12/34 頁



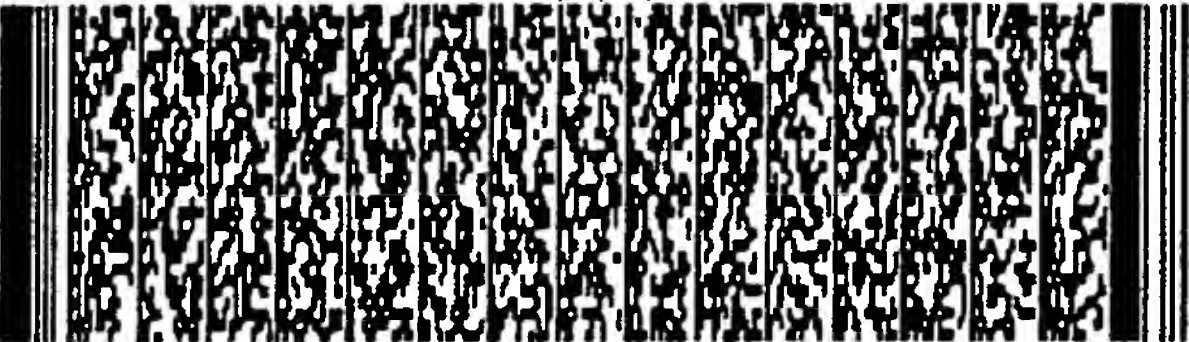
第 12/34 頁



第 13/34 頁



第 13/34 頁



第 14/34 頁



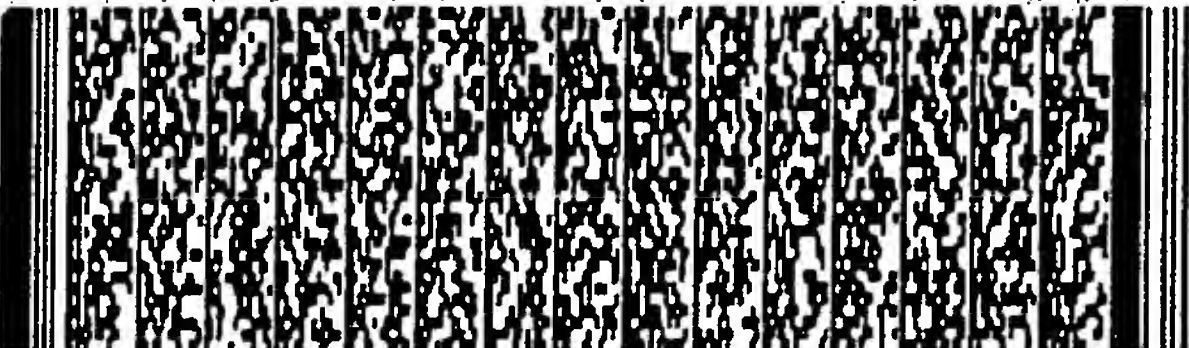
第 14/34 頁



第 15/34 頁



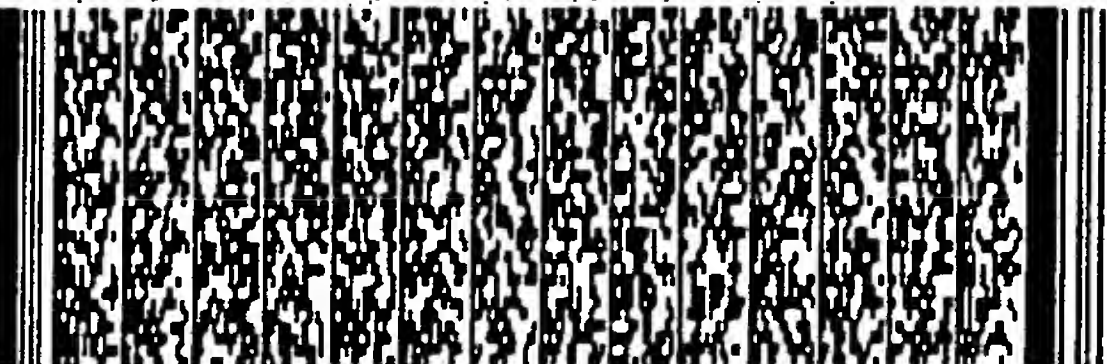
第 15/34 頁



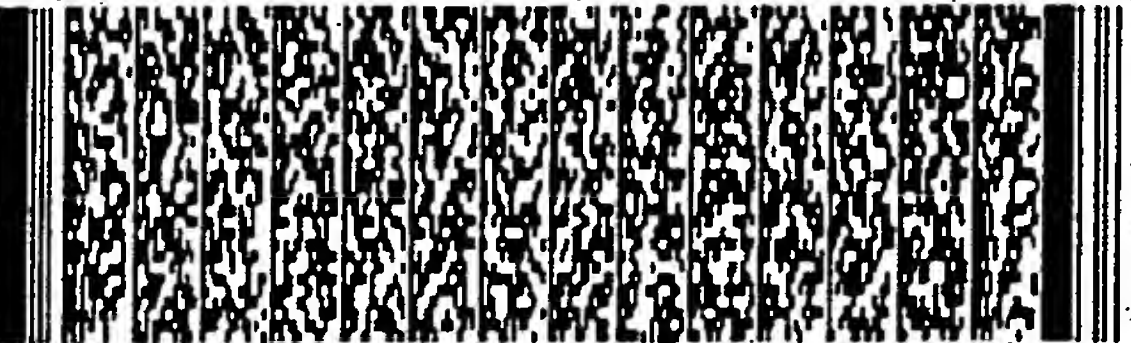
第 16/34 頁



第 16/34 頁



第 17/34 頁



第 17/34 頁



第 18/34 頁

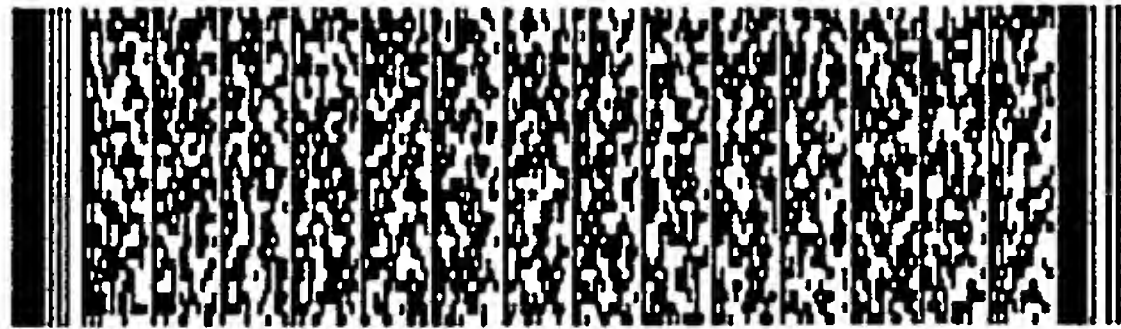




第 19/34 頁



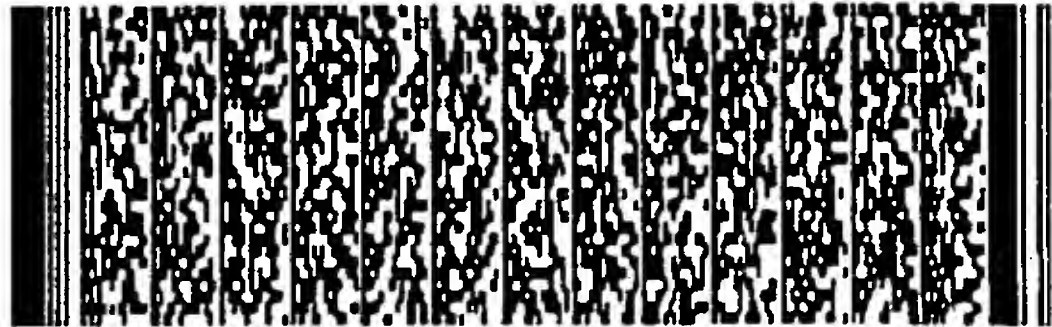
第 19/34 頁



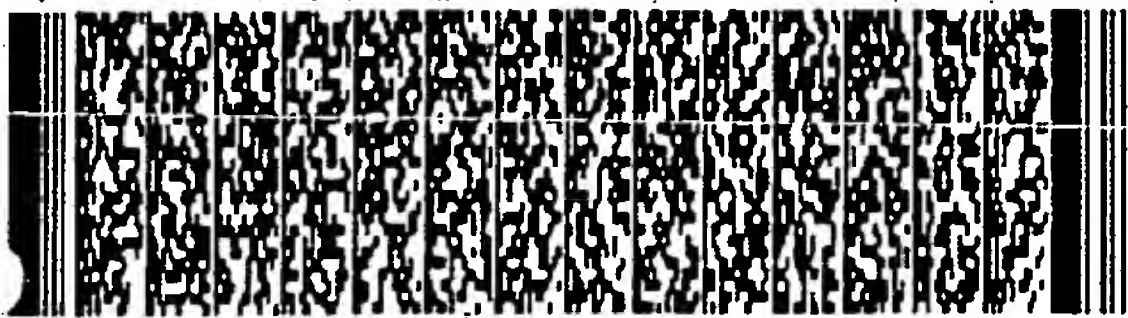
第 20/34 頁



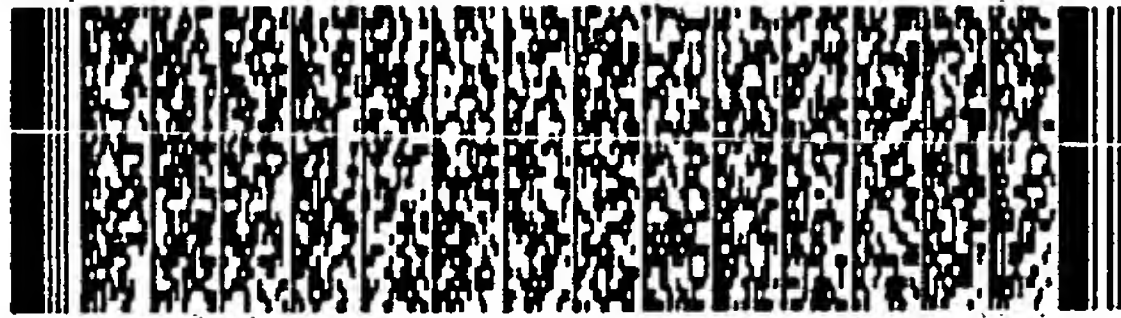
第 20/34 頁



第 21/34 頁



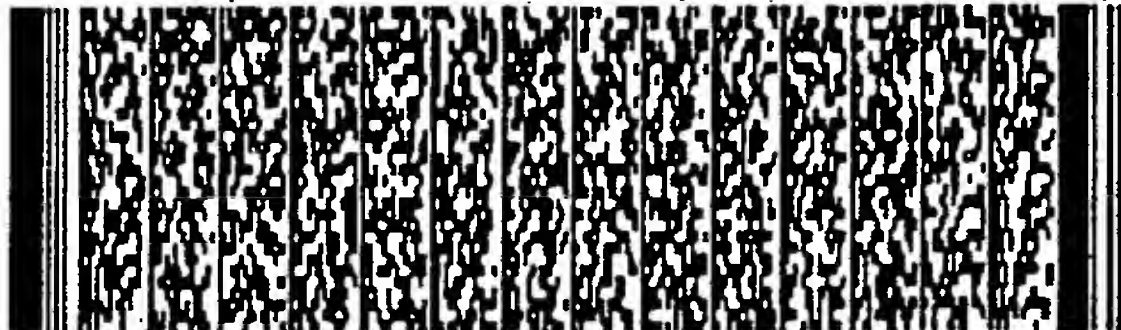
第 21/34 頁



第 22/34 頁



第 23/34 頁



第 23/34 頁



第 24/34 頁



第 24/34 頁



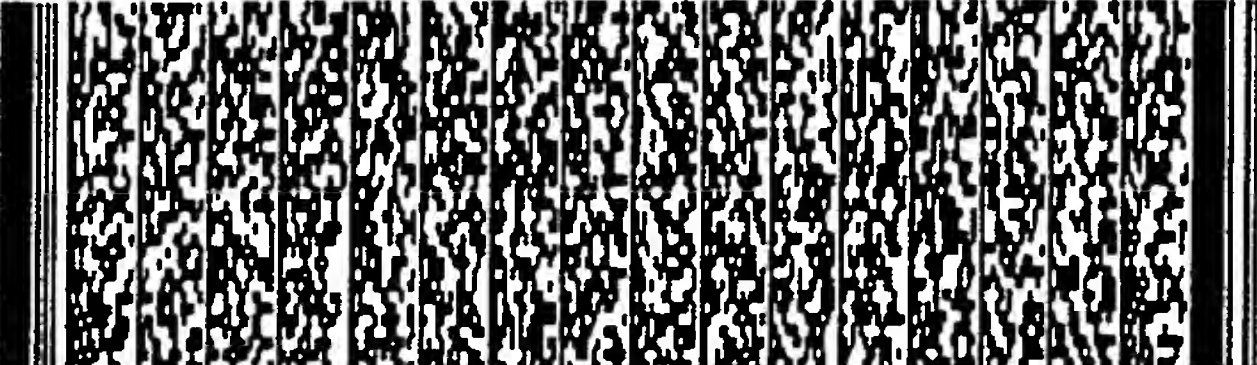
第 25/34 頁



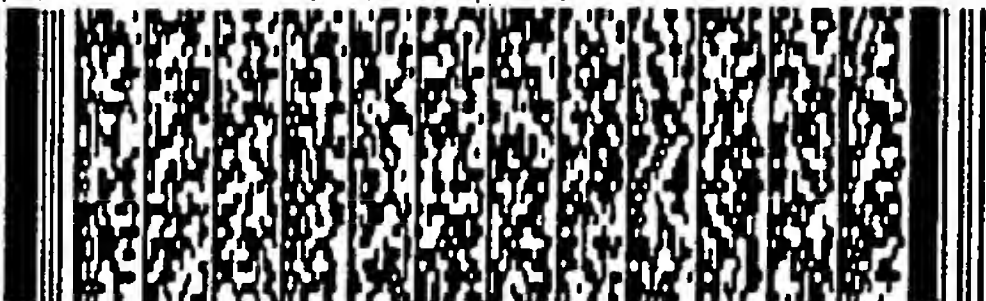
第 26/34 頁



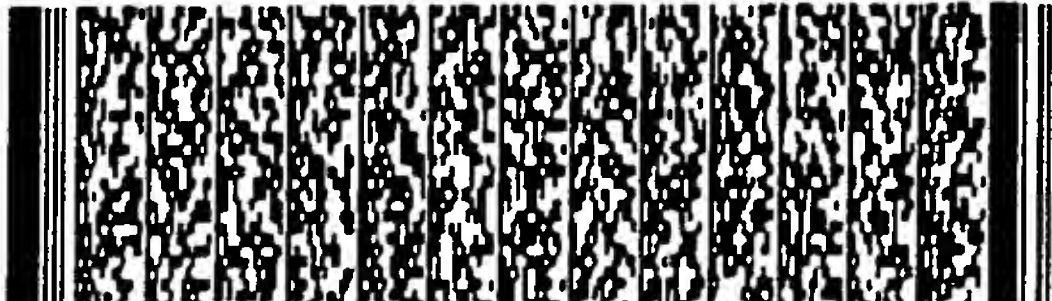
第 27/34 頁



第 28/34 頁

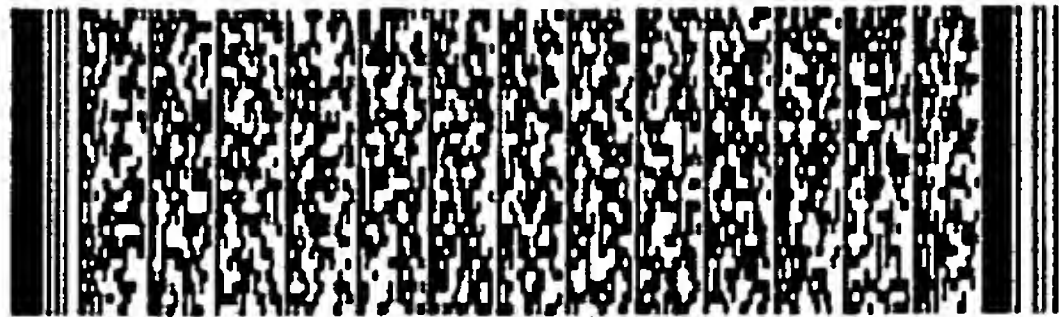


第 29/34 頁

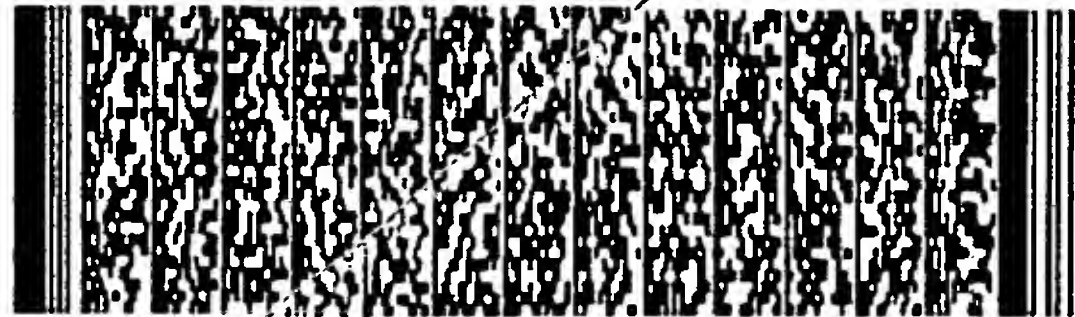




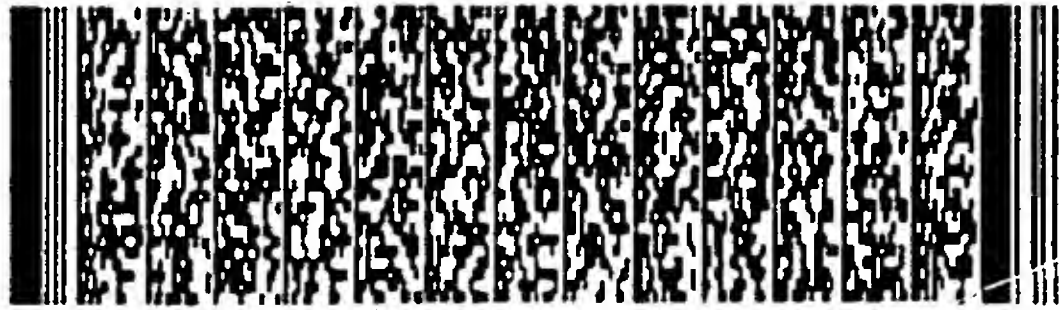
第 29/34 頁



第 30/34 頁



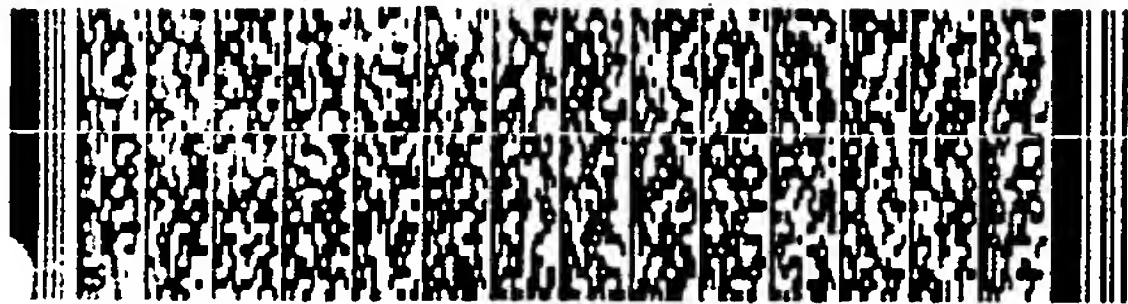
第 30/34 頁



第 31/34 頁



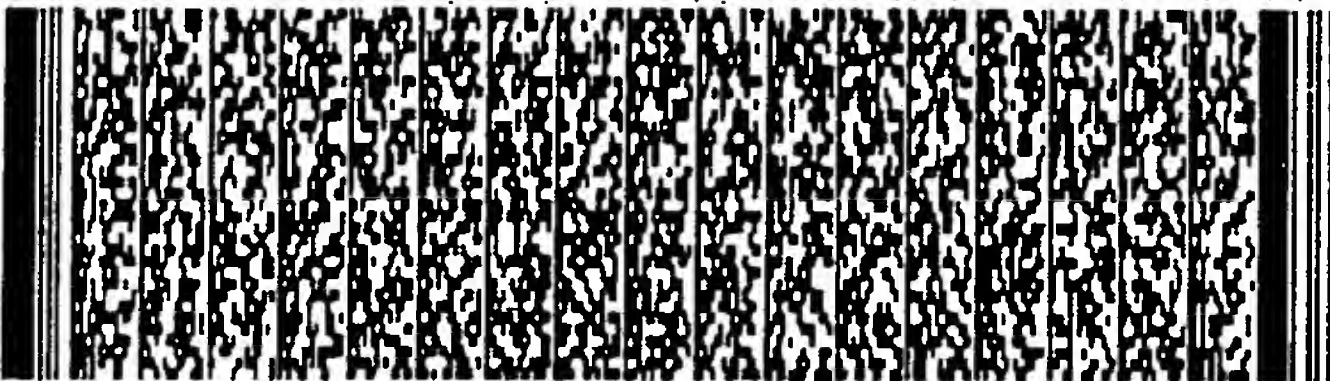
第 31/34 頁



第 32/34 頁



第 33/34 頁



第 34/34 頁

